

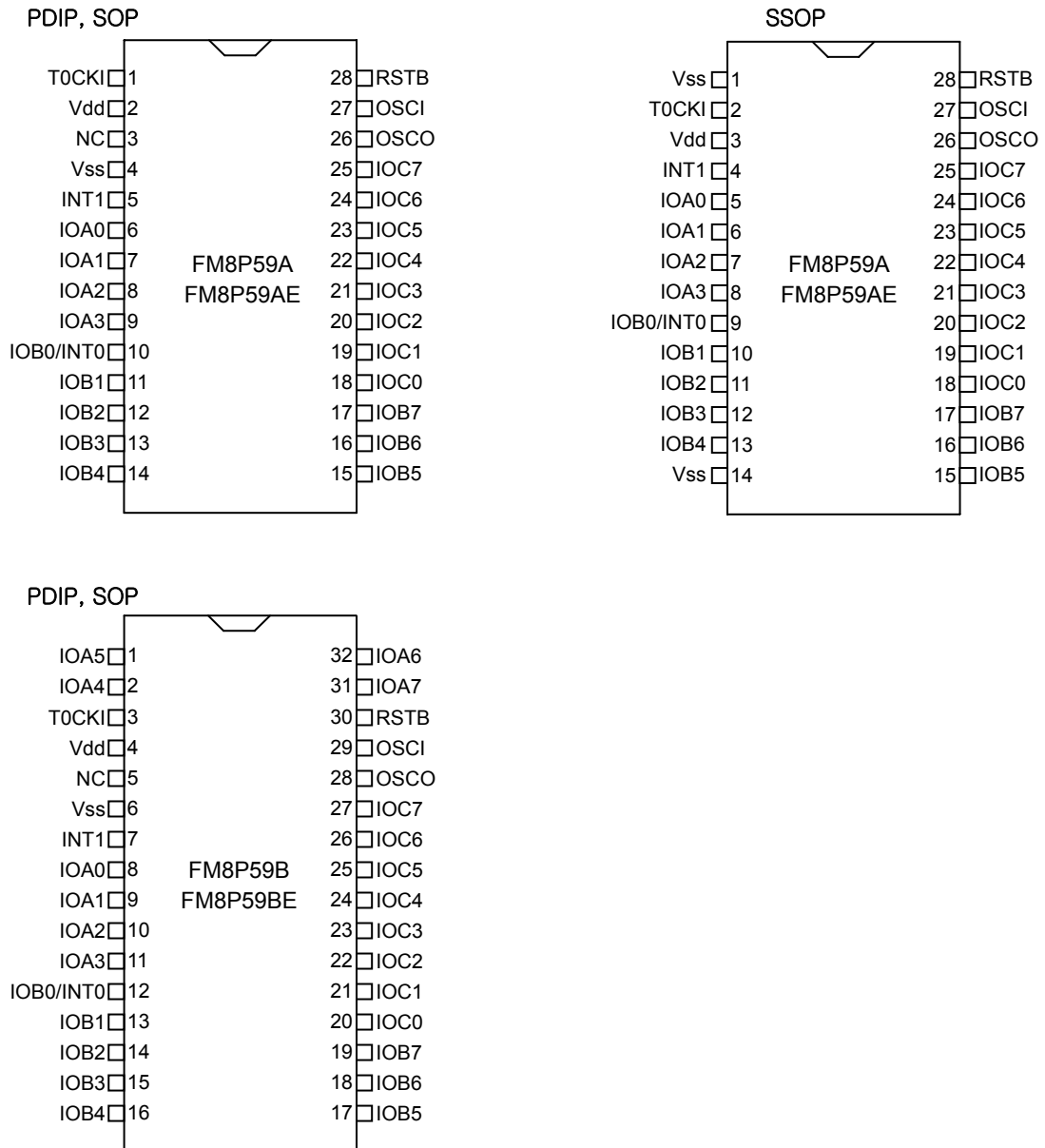
EPROM / MaskROM 형 8 비트 마이크로컨트롤러**이 자료에 포함된 디바이스:**

- FM8P59AE : 28 핀 EPROM 디바이스
- FM8P59BE : 32 핀 EPROM 디바이스
- FM8P59A : 28 핀 마스크 롬(ROM) 디바이스
- FM8P59B : 32 핀 마스크 롬(ROM) 디바이스

기능

- 총 47 개의 단일 명령어
- 2 사이클 프로그램 분기 명령을 제외한 모든 명령이 단일(1)사이클
- 13 비트 폭의 명령어
- 모든 ROM/EPROM 영역을 분기하는 GOTO/FGOTO 명령
- 모든 ROM/EPROM 영역을 호출하는 CALL/FCALL 명령
- 8 비트 폭의 데이터 크기
- 5 단계의 많은 하드웨어 스택(stack)
- 4K x 13 비트의 EPROM/ROM 영역
- 144 x 8 비트의 범용 레지스터(SRAM)
- 동작속도: DC~20 MHz 클럭 입력
DC~100 ns 명령 사이클
- 데이터 처리를 위한 직접, 간접 어드레스 모드
- 8 비트 프로그램 가능한 프리스케일러와 한 개의 8 비트 리얼타임 클럭/카운터(Timer0)
- 파워 온 리셋(POR) 내장
- Brown-out 리셋 (BOR)을 위하여 저 전압 감지 회로(LVR) 내장
- Power-up 리셋 타이머 (PWRT) 와 오실레이터 Start-up 타이머(OST)
- 프로그램으로 와치도그를 제어(enable/disable)하고 보다 신뢰성 있게 작동하기 위하여 내부 오실레이터로 동작되는 와치도구 타이머(WDT)
- 독립된 방향 제어를 위한 3 개의 I/O 포트 IOA, IOB, IOC
- 프로그램에서 제어할 수 있는 16 개의 풀업(pull-high) 핀: Port B/Port C
- 프로그램에서 제어할 수 있는 8 개의 풀다운(pull-down) 핀: IOA0~A3/IOB0~B3
- 프로그램에서 제어할 수 있는 2 개의 오픈 드레인(open-drain) 핀: IOC6/IOC7
- 한 개의 내부 인터럽트(Timer0) 소스와 INT0, INT1 핀으로 된 두개의 외부 인터럽트(interrupt) 소스
- 포트 Port B/IOC4/IOC5 입력이 떨어질 때 슬립에서 웨이크 업(Wake-up)
- 저 전력을 위한 슬립(SLEEP) 모드
- 프로그램 코드 보호(Protection) 기능
- 선택 가능한 오실레이터 옵션:
 - ERC: 외부 저항과 콘덴서로 구성하는 저가의 오실레이터(Oscillator)
 - XT: 표준 크리스탈 또는 레조네이터(Resonator)로 구성하는 오실레이터
 - HF: 고속 크리스탈 또는 레조네이터로 구성하는 오실레이터
 - LF: 저 전류형의 저속 크리스탈 오실레이터
- 넓은 동작 전압 범위:
 - EPROM : 2.3V 부터 5.5V 까지 사용
 - ROM : 2.3V 부터 5.5V 까지 사용

이 자료에는 새로운 제품 정보가 포함되어 있으며, 필링텍은 예고없이 제품의 스펙을 변경할 수 있습니다. 또한, ㈜이지플로우는 필링텍의 한국 총판이며, 이 번역물에 대한 모든 권한을 가지고 있으므로 무단 복제를 금합니다.

핀 다이어그램


핀 설명
FM8P59A/FM8P59AE

핀 명	입출력	설 명
IOA0 ~ IOA3	I/O	입출력 I/O 포트
IOB0/INT0	I/O	입출력 I/O 핀 / 시스템 웨이크 업 기능 / 외부 인터럽트 입력 0
IOB1 ~ IOB7	I/O	입출력 I/O 포트와 시스템 웨이크 업 기능
IOC0 ~ IOC7	I/O	입출력 I/O 포트
INT1	I	신호가 떨어지는 순간 트리거되는 외부 인터럽트 입력 1
T0CKI	I	Timer0 클럭 입력. 전류 소모를 줄이기 위해 사용하지 않을 경우, 반드시 VDD 또는 VSS 에 연결
RSTB	I	시스템 리셋(RESET) 입력. 로우(Low)일 때 RESET
OSCI	I	크리스탈로 사용시: 크리스탈 오실레이터 입력 RC 로 사용시: RC 오실레이터의 클럭 입력
OSCO	O	크리스탈로 사용시 : 크리스탈 오실레이터 출력 RC 로 사용시: 명령 수행 사이클 비율을 나타내는 OSCI 의 1/4 주파수 출력
Vdd	-	+ 전원 공급(Positive)
Vss	-	- 전원 공급(Ground)

기호 설명: I=입력(input), O=출력(output), I/O=입출력(input/output)

FM8P59B/FM8P59BE

핀 명	입출력	설 명
IOA0 ~ IOA7	I/O	입출력 I/O 포트
IOB0/INT0	I/O	입출력 I/O 핀 / 시스템 웨이크 업 기능 / 외부 인터럽트 입력 0
IOB1 ~ IOB7	I/O	입출력 I/O 포트와 시스템 웨이크 업 기능
IOC0 ~ IOC7	I/O	입출력 I/O 포트
INT1	I	신호가 떨어지는 순간 트리거되는 외부 인터럽트 입력 1
T0CKI	I	Timer0 클럭 입력. 전류 소모를 줄이기 위해 사용하지 않을 경우, 반드시 VDD 또는 VSS 에 연결
RSTB	I	시스템 리셋(RESET) 입력. 로우(Low)일 때 RESET
OSCI	I	크리스탈로 사용시: 크리스탈 오실레이터 입력 RC 로 사용시: RC 오실레이터의 클럭 입력
OSCO	O	크리스탈로 사용시 : 크리스탈 오실레이터 출력 RC 로 사용시: 명령 수행 사이클 비율을 나타내는 OSCI 의 1/4 주파수 출력
Vdd	-	+ 전원 공급(Positive)
Vss	-	- 전원 공급(Ground)

기호 설명: I=입력(input), O=출력(output), I/O=입출력(input/output)

메모리 구조

FM8P59 디바이스 메모리는 프로그램 메모리와 데이터 메모리로 되어 있습니다.

1.1 프로그램 메모리 구조

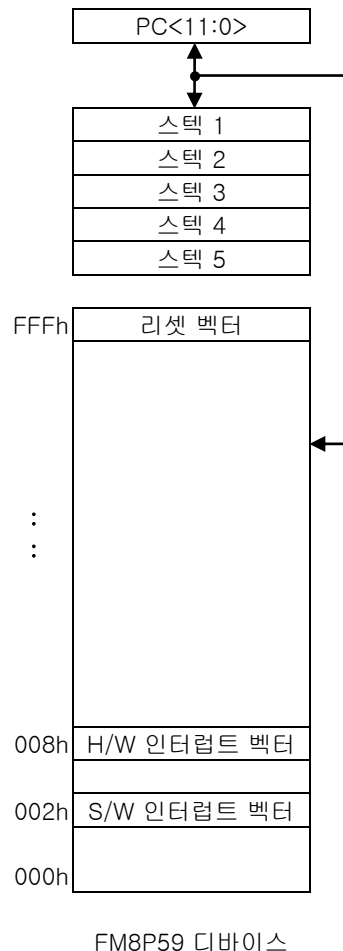
FM8P59 디바이스는 4K×13 비트 프로그램 메모리 공간을 어드레스 지정할 수 있는 12 비트 프로그램 카운터(PC)와 프로그램 벡터가 있습니다.

RESET 벡터는 FFFh 이며, H/W 인터럽트 벡터는 008h 이고 S/W 인터럽트 벡터는 002h 입니다.

FM8P59 디바이스는 1K 워드보다 큰 프로그램 메모리 크기를 가지고 있습니다. 하지만 CALL 명령과 GOTO 명령은 10 비트 어드레스 범위까지 지정할 수 있습니다. 이 10 비트 어드레스 범위는 1K 프로그램 메모리 크기 내에서만 분기할 수 있습니다. FM8P59 디바이스의 전체 4K 프로그램 메모리 어드레스 범위를 CALL 명령과 GOTO 명령으로 지정 할 경우, 프로그램 메모리 페이지를 지정하는 두 비트인 PCHBUF<3:2> 비트를 지정해야 합니다. CALL 명령이나 GOTO 명령을 실행할 때 원하는 프로그램 메모리 페이지가 어드레스 되도록 페이지 비트 PCHBUF<3:2>를 확실하게 지정해야 합니다. RETURN 명령이 실행될 때 12 비트 PC 는 스택으로 부터 가져옵니다(POP) 따라서, RETURN 명령에는 따로 PCHBUF <3:2>를 지정할 필요가 없습니다.

따라서, 프로그램 메모리 페이지를 유지하고 메모리 페이지를 바꾸는 명령으로 PAGE 명령을 사용할 수 있습니다. 그렇지 않으면 다른 프로그램 코드인 FCALL(원거리 call)/FGOTO(원거리 goto) 명령을 사용할 수도 있습니다.

그림 1.1: 프로그램 메모리 맵과 스택(STACK)



1.2 데이터 메모리 구조

데이터 메모리는 특수 기능 레지스터(special function register)와 범용 레지스터로 구성되어 있습니다. 범용 레지스터는 직접 또는 FSR 레지스터를 통하여 간접적으로 접근할 수 있습니다. 특수 기능 레지스터는 디바이스 작동을 제어하는 주변 기능과 CPU 에 의해 사용되도록 등록되었습니다. FM8P59 디바이스에서는 데이터 메모리가 4 개의 뱅크(bank)로 나누어져 있습니다. 원하는 뱅크를 구성하려면 FSR 레지스터 안에 RP1 과 RP0 비트를 요구하는 뱅크로 전환합니다. 여러분은 데이터 메모리 뱅크를 바꾸기 위해 BANK 명령을 사용할 수 있습니다.

테이블 1.1: FM8P59 디바이스의 레지스터 파일 맵(RAM)

FSR<7:6> 어드레스	설 명			
	0 0 뱅크 0	0 1 뱅크 1	1 0 뱅크 2	1 1 뱅크 3
00h	INDF	뱅크 0 어드레스가 지정		
01h	TMR0			
02h	PCL			
03h	STATUS			
04h	FSR			
05h	PORTA			
06h	PORTB			
07h	PORTC			
08h	PCON			
09h	WUCON			
0Ah	PCHBUF			
0Bh	PDCON			
0Ch	BPHCON			
0Dh	CPHCON			
0Eh	INTEN			
0Fh	INTFLAG			
10h 1Fh	범용 레지스터			
20h 3Fh	범용 레지스터	범용 레지스터	범용 레지스터	범용 레지스터

 N/A

OPTION

05h	IOSTA
06h	IOSTB
07h	IOSTC

테이블 1.2: OPTION 또는 IOST 명령에 의해 컨트롤 되는 레지스터

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
N/A (w)	OPTION	-	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
05h (w)	IOSTA	Port A I/O 컨트롤 레지스터							
06h (w)	IOSTB	Port B I/O 컨트롤 레지스터							
07h (w)	IOSTC	Port C I/O 컨트롤 레지스터							

테이블 1.3: 특수 기능 레지스터 맵

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
00h (r/w)	INDF	실제 레지스터가 아니고 FSR 로 간접 지정한 데이터 메모리 어드레스 내용을 처리							
01h (r/w)	TMR0	8 비트 리얼 타임 클럭/카운터							
02h (r/w)	PCL	프로그램 카운터(PC)의 하위 8 비트							
03h (r/w)	STATUS	GP2	GP1	GP0	TO	PD	Z	DC	C
04h (r/w)	FSR	RP1	RP0	간접 데이터 메모리 어드레스 포인터					
05h (r/w)	PORTA	IOA7	IOA6	IOA5	IOA4	IOA3	IOA2	IOA1	IOA0
06h (r/w)	PORTB	IOB7	IOB6	IOB5	IOB4	IOB3	IOB2	IOB1	IOB0
07h (r/w)	PORTC	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0
08h (r/w)	PCON	WDTE	EIS	LVDTE	ROC	-	-	ODC67	/WUC45
09h (r/w)	WUCON	/WUB7	/WUB6	/WUB5	/WUB4	/WUB3	/WUB2	/WUB1	/WUB0
0Ah (r/w)	PCHBUF	-	-	-	-	프로그램 카운터(PC) 상위 4 비트 버퍼			
0Bh (r/w)	PDCON	/PDB3	/PDB2	/PDB1	/PDB0	/PDA3	/PDA2	/PDA1	/PDA0
0Ch (r/w)	BPHCON	/PHB7	/PHB6	/PHB5	/PHB4	/PHB3	/PHB2	/PHB1	/PHB0
0Dh (r/w)	CPHCON	/PHC7	/PHC6	/PHC5	/PHC4	/PHC3	/PHC2	/PHC1	/PHC0
0Eh (r/w)	INTEN	GIE	-	-	-	INT1IE	INT0IE	-	T0IE
0Fh (r/w)	INTFLAG	-	-	-	-	INT1IF	INT0IF	-	T0IF

기호 설명: - = 구현되지 않음, 리드(read)시는 0 이 나옴,

2.0 기능 설명

2.1 특수 기능 레지스터

2.1.1 INDF (간접 어드레싱 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
00h (r/w)	INDF	실제 레지스터가 아니고 FSR 로 간접 지정한 데이터 메모리 어드레스 내용을 처리							

INDF 레지스터는 실제 레지스터가 아닙니다. FSR 레지스터에 의해 지정된 레지스터를 INDF 레지스터를 수행하는 어떠한 명령으로도 실제로 접근할 수 있습니다. FSR 을 0 으로 지정하고 INDF 레지스터로 자신을 읽으면 00h 가 읽어질 것입니다. 또 INDF 레지스터에 데이터를 저장할 경우 아무 결과를 얻지 못하므로 무작동(no-operation)과 같습니다. 물론 이때 상태 비트는 영향 받을 수 있습니다.

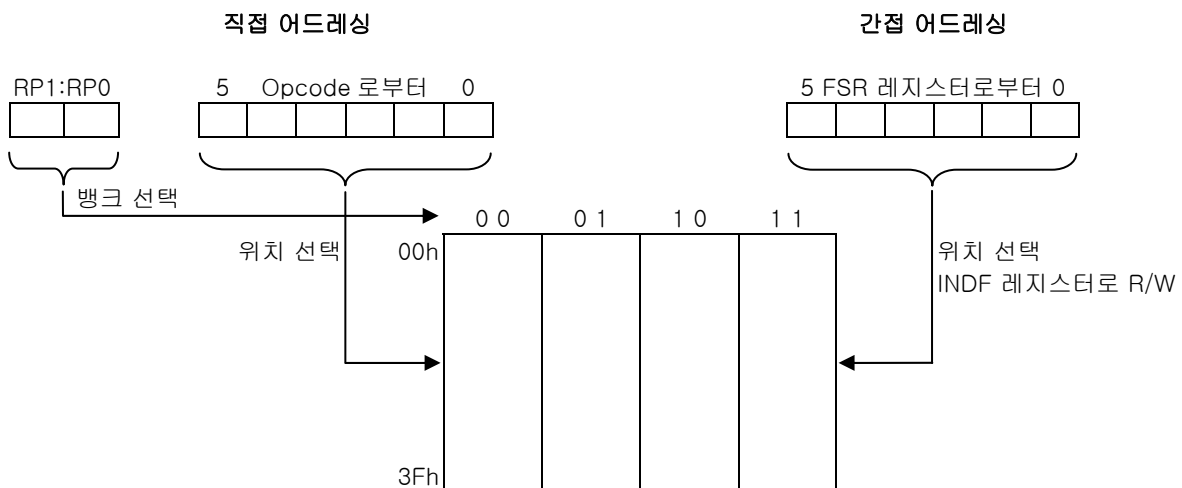
FSR 레지스터의 비트 5 부터 0 은 어드레스 00h 부터 3Fh 까지 64 개 레지스터 까지 선택하는데 사용합니다. FM8P59 디바이스에서 데이터 메모리가 4 개의 बैं크(bank)로 나누어져 있습니다. 원하는 बैं크를 구성하려면 FSR 레지스터 안에 RP1 과 RP0 비트를 요구하는 बैं크로 전환합니다. 각 बैं크의 앞쪽은 특수 기능 레지스터로 예약되어 있습니다. 특수 기능 레지스터 위쪽에 범용 레지스터가 있습니다. 코드 감소와 빠른 접근을 위해 다른 बैं크의 모든 특수 기능 레지스터와 일부 범용 레지스터는 बैं크0와 동일한 내용으로 되어 있습니다.

접근된 बैं크	RP1:RP0
0	0 0
1	0 1
2	1 0
3	1 1

예 2.1: 간접 어드레싱

- 레지스터 파일 38 의 값을 10h 으로 합니다.
- 레지스터 파일 39 의 값을 0Ah 으로 합니다.
- FSR 레지스터 안에 값을 38 을 넣습니다.
- INDF 레지스터를 읽으면 10h 값이 나옵니다.
- FSR 레지스터 값을 증가하면 FSR 레지스터는 39 가 됩니다.(@FSR=39h)
- INDF 레지스터를 읽으면 0Ah 값이 나옵니다.

그림 2.2: FM8P59 디바이스의 직접/간접 어드레싱



2.1.2 TMR0 (타이머/카운터 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
01h (r/w)	TMR0	8 비트 리얼 타임 클럭/카운터							

타이머 0(TMR0)는 8 비트 타이머/카운터입니다. 타이머 0의 클럭 소스는 OPTION<5>의 T0CS 비트를 설정하는 것으로 T0CKI 핀의 외부 클럭 소스 또는 시스템 클럭을 사용할 수 있습니다. 만약 T0CKI 핀이 선택되었다면 타이머 0는 OPTION<4>의 T0SE 비트의 설정에 따라 T0CKI 핀 신호가 상승(rising)/하강(falling)되는 순간 증가됩니다.

OPTION<3>의 PSA 비트를 클리어하는 것에 의해 타이머 0에 프리스케일러(Prescaler)를 할당할 수 있습니다. 이 경우, 타이머 0 레지스터에 어떤 값이 쓰여질(Write) 때 프리스케일러는 클리어 됩니다.

2.1.3 PCL (프로그램 카운터의 하위 바이트) 와 스택(Stack)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
02h (r/w)	PCL	프로그램 카운터(PC)의 하위 8 비트							

FM8P59 디바이스는 12 비트의 넓은 프로그램 카운터(PC)와 5 단계의 12 비트 하드웨어 푸쉬(push)/팝(pop) 스택을 가지고 있습니다. 프로그램 카운터의 하위 8 비트를 PCL 레지스터라고 부르며 읽거나 쓰기가 가능합니다. 또한 프로그램 카운터의 상위 4 비트 PC<11:8>를 PCH 레지스터라고 부르며, 직접 읽거나 쓸 수 없습니다. PCH 레지스터의 모든 업데이트는 PCHBUF 레지스터를 통하여 이루어집니다. 프로그램 명령이 수행되고 난 후 프로그램 카운터는 다음에 실행할 프로그램 명령의 어드레스를 가지고 있습니다. 프로그램 카운터는 PC를 변경하는 명령을 제외하고 매번 명령 사이클을 실행할 때마다 한 개씩 증가됩니다.

GOTO 명령의 경우, PC<9:0>는 GOTO 명령어에서 제공되고 PC<11:10>는 PCHBUF<3:2>의 내용으로 업데이트 됩니다. PCL 레지스터는 PC<7:0>로 연결되어 있고 PCHBUF 레지스터는 업데이트 되지 않습니다.

CALL 명령의 경우, PC<9:0>는 CALL 명령어에서 제공되고 PC<11:10>는 PCHBUF<3:2>의 내용으로 업데이트 됩니다. 다음 PC의 내용을 스택(STACK)의 맨 위로 밀어(Pushed) 넣습니다. PCL 레지스터는 PC<7:0>로 연결되어 있고 PCHBUF 레지스터는 업데이트 되지 않습니다.

FGOTO 명령의 경우, PC<11:0>는 FGOTO 명령어에서 제공되고 PCL 레지스터는 PC<7:0>로 연결되어 있습니다. PCHBUF<3:2>비트의 내용은 FGOTO 명령어에서 제공되는 내용으로 업데이트 되며, PCHBUF<1:0>비트는 업데이트 되지 않습니다.

FCALL 명령의 경우, PC<11:0>는 FCALL 명령어에서 제공되고 다음에 실행할 PC의 내용을 스택(STACK)의 맨 위로 밀어(Pushed) 넣습니다. PCL 레지스터는 PC<7:0>로 연결되어 있고 PCHBUF<3:2>비트의 내용은 FCALL 명령어에서 제공되는 내용으로 업데이트 되며, PCHBUF<1:0>비트는 업데이트 되지 않습니다.

RETIA, RETFIE, RETURN 명령의 경우, PC는 스택(STACK)의 상위로부터 업데이트(Pop) 됩니다. PCL 레지스터는 PC<7:0>로 연결되어 있고 PCHBUF 레지스터는 업데이트 되지 않습니다.

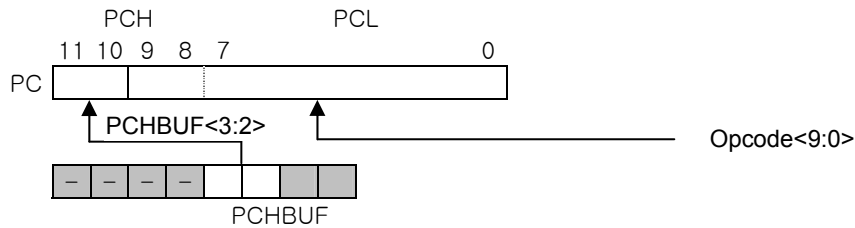
TBL 명령을 제외한 PCL에 저장되는 명령의 경우, PC<7:0>은 명령어 또는 ALU 결과에 의해 제공됩니다. 하지만, PC<11:8>은 PCHBUF<3:0>의 내용으로 제공됩니다.(PCHBUF → PCH).

TBL 명령의 경우, PC<7:0>은 ALU 결과에 의해 제공되고 PC<9:8>는 바뀌지 않습니다. PC<11:10>은 PCH<3:2>비트의 내용으로 제공됩니다.

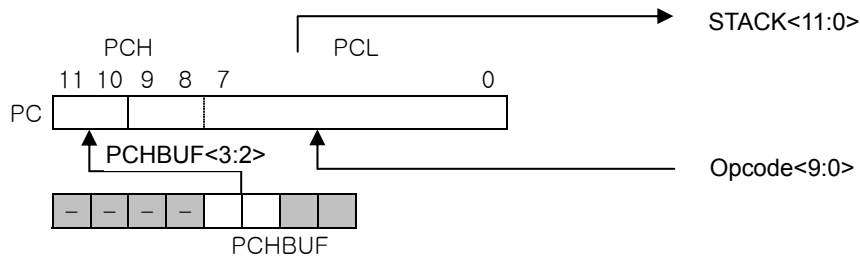
PCHBUF 레지스터의 내용은 결코 PCH에 업데이트 되지 않습니다.

그림 2.2: 각 명령마다 PC 가 로드되는 상태

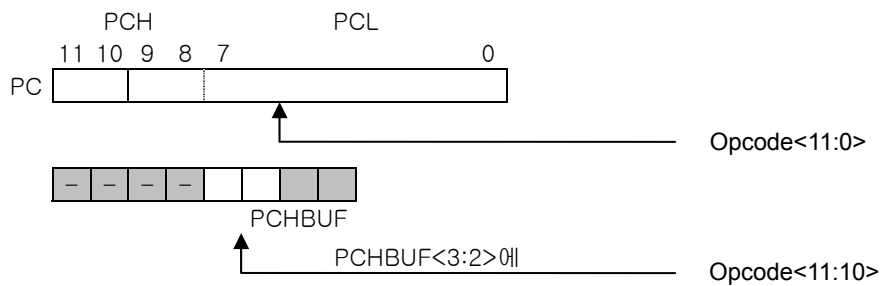
상태 1: GOTO 명령



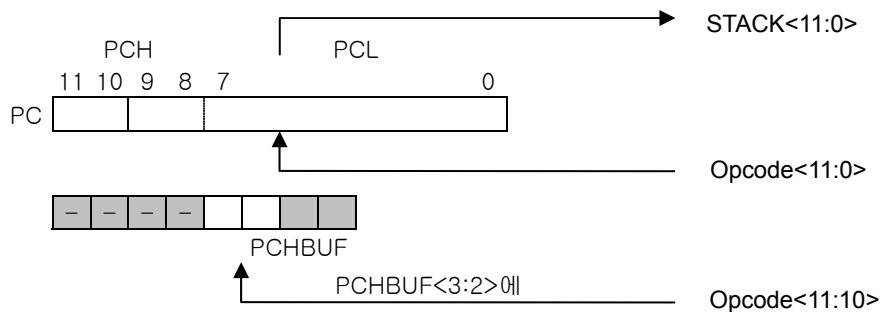
상태 2: CALL 명령



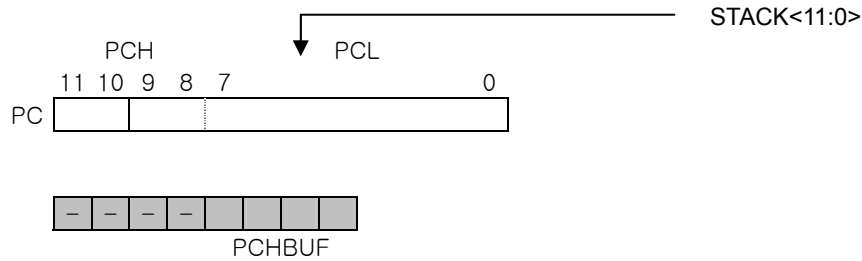
상태 3: FGOTO 명령



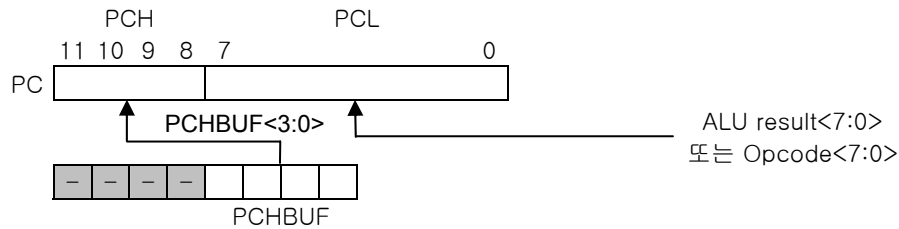
상태 4: FCALL 명령



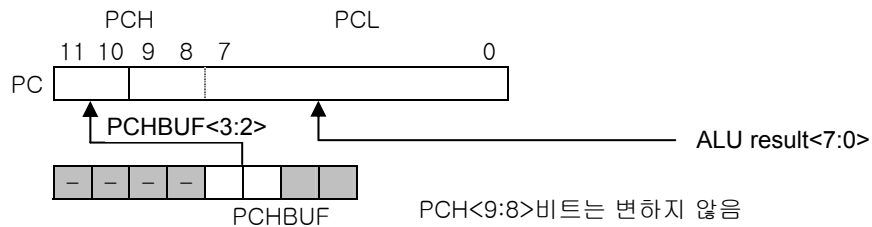
상태 5: RETIA, RETFIE, RETURN 명령



상태 6: PCL 에 저장되는 명령 (TBL 명령 제외)



상태 7: TBL 명령



참고: PCHBUF 는 PCL 에 저장되는 명령 또는 GOTO, CALL 명령에서 사용됩니다.

2.1.4 STATUS (상태 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
03h (r/w)	STATUS	GP2	GP1	GP0	TO	PD	Z	DC	C

상태 레지스터는 RESET 상태와 ALU 연산 상태를 가지고 있습니다.

만약 Z, DC, C 비트에 영향을 주는 명령을 STATUS 레지스터에 쓰기(Write)를 할 경우 Z, DC, C 비트는 오직 디바이스 로직에 의해서만 세트/클리어 되어 아무런 영향을 주지 못합니다. 게다가 \overline{TO} 와 \overline{PD} 비트도 아무런 영향을 주지 못합니다. 그러므로, 상태 레지스터에 쓰기와 같은 명령의 결과는 생각한 것과 다르게 될 수 있습니다.

예를들어, CLRR STATUS 명령을 실행하면 상위 3 비트는 클리어 되고 Z 비트는 세트 됩니다. 이때 STATUS 레지스터의 결과는 000u u1uu 입니다. 여기서 u 로 표시된 비트의 값은 바뀌지 않고 이전 값을 그대로 유지합니다.

C : Carry/borrow 비트.

ADDAR, ADDIA

= 1, 연산결과 자리 올림(Carry) 발생시

= 0, 연산결과 자리 올림이 발생하지 않을시.

SUBAR, SUBIA

= 1, 연산결과 자리 빌림(borrow)이 발생하지 않을시.

= 0, 연산결과 자리 빌림이 발생할 시.

참고 : 감산은 두 번째 오퍼랜드의 2의 보수를 더하는 것으로 실행됩니다. RRR, RLR 과 같은 비트 회전 명령을 실행할 경우 소스 레지스터의 최상위 비트 또는 최하위 비트가 이 비트에 저장됩니다.

DC : Half carry/half borrow 비트.

ADDAR, ADDIA

= 1, 연산결과 하위 디지털에서 자리 올림(Carry) 발생시.

= 0, 연산결과 하위 디지털에서 자리 올림이 발생하지 않을시.

SUBAR, SUBIA

= 1, 연산결과 하위 디지털에서 자리 빌림(borrow)이 발생하지 않을시.

= 0, 연산결과 하위 디지털에서 자리 빌림이 발생할 시.

Z : Zero 비트.

= 1, 연산 결과가 0 인 경우.

= 0, 연산 결과가 0 이 아닌 경우.

PD : Power down 비트.

= 1, 전원이 들어온 경우 또는 CLRWDT 명령이 실행된 경우.

= 0, SLEEP 명령이 실행된 경우.

TO : Time overflow 비트.

= 1, 전원이 들어온 경우 또는 CLRWDT, SLEEP 명령이 실행된 경우.

= 0, 와치도그 타임아웃이 발생된 경우.

GP2:GP0 : 범용으로 쓸 수 있는 R/W 비트.

2.1.5 FSR (간접 데이터 메모리 어드레스 포인터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
04h (r/w)	FSR	RP1	RP0	간접 데이터 메모리 어드레스 포인터					

Bit5:Bit0 : 간접 어드레스 모드에서 레지스터 어드레스를 선택합니다. 자세한 설명은 INDF (간접 어드레싱 레지스터)를 참고하세요.

RP1:RP0 : 이 비트는 4 개의 데이터 메모리 뱅크를 전환하는데 사용됩니다. 사용자가 뱅크를 전환할 때는 BANK 명령을 사용할 수 있습니다. 자세한 설명은 INDF (간접 어드레싱 레지스터)를 참고하세요.

2.1.6 PORTA, PORTB & PORTC (포트 데이터 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
05h (r/w)	PORTA	IOA7	IOA6	IOA5	IOA4	IOA3	IOA2	IOA1	IOA0
06h (r/w)	PORTB	IOB7	IOB6	IOB5	IOB4	IOB3	IOB2	IOB1	IOB0
07h (r/w)	PORTC	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0

PORTA, PORTB, PORTC 레지스터를 읽을 경우 핀의 입력/출력 모드에 따라 독립된 각 핀의 상태를 가져옵니다. 이들 포트에 데이터를 쓰기(Write) 할 경우 각 포트에 데이터가 유지됩니다.

FM8P59B 디바이스는 PORTA 가 8 비트 포트 데이터 레지스터이며, FM8P59A 디바이스는 PORTA 가 4 비트 포트 데이터 레지스터입니다. 이때 PORTA<3:0>만 사용하며 상위 7-4 비트는 구현되지 않아 0으로 읽어옵니다. 그밖에 PORTB 와 PORTC 는 8 비트 포트 데이터 레지스터입니다.

2.1.7 PCON (파워 컨트롤 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
08h (r/w)	PCON	WDTE	EIS	LVDTE	ROC	-	-	ODC67	/WUC45

/WUC45 : = 0, IOC4 와 IOC5 핀의 입력 하강(falling) 웨이크 업 기능 가능.
= 1, IOC4 와 IOC5 핀의 입력 하강(falling) 웨이크 업 기능 금지.

ODC67 : = 0, IOC6 과 IOC7 핀의 내부 오픈 드레인 금지.
= 1, IOC6 과 IOC7 핀의 내부 오픈 드레인 가능.

Bit3:Bit2 : 사용하지 않으며 읽을 경우 0.

ROC : IOC0 와 IOC1 의 R 옵션 기능 가능 비트.
= 0, R 옵션 기능 금지.
= 1, R 옵션 기능 가능. 이 경우 만약 430KΩ의 외부 저항을 Vss 에 연결하거나 하지 않으면, IOC0 와 IOC1 의 상태를 0 또는 1로 읽을 수 있습니다.

LVDTE : 저 전압 감지(LVDT) 가능 비트.
= 0, LVDT 금지.
= 1, LVDT 가능.

EIS : IOB0/INT0 핀 기능 정의.
= 0, IOB0 (입출력 I/O 핀) 선택. 이 경우 INT0 의 경로는 가려집니다(masked).
= 1, INT0 외부 인터럽트 핀 선택. 이 경우, IOB0 의 I/O 컨트롤 비트는 반드시 입력으로 설정 되어야 합니다.
The path of input change of IOB0 핀의 Port B 입력이 바뀌는 경로는 하드웨어에 의하여 가려지며, INT0 핀의 상태는 PORTB 를 읽는 방법으로 읽을 수 있습니다.

WDTE : 와치도그 타이머(WDT) 가능 비트.
 = 0, WDT 금지.
 = 1, WDT 가능.

2.1.8 WUCON (포트 B 입력 하강 웨이크 업 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
09h (r/w)	WUCON	/WUB7	/WUB6	/WUB5	/WUB4	/WUB3	/WUB2	/WUB1	/WUB0

/WUB0 : = 0, IOB0 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB0 핀의 입력 하강(falling) 웨이크 업 기능 금지.

/WUB1 : = 0, IOB1 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB1 핀의 입력 하강(falling) 웨이크 업 기능 금지.

/WUB2 : = 0, IOB2 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB2 핀의 입력 하강(falling) 웨이크 업 기능 금지.

/WUB3 : = 0, IOB3 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB3 핀의 입력 하강(falling) 웨이크 업 기능 금지.

/WUB4 : = 0, IOB4 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB4 핀의 입력 하강(falling) 웨이크 업 기능 금지.

/WUB5 : = 0, IOB5 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB5 핀의 입력 하강(falling) 웨이크 업 기능 금지.

/WUB6 : = 0, IOB6 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB6 핀의 입력 하강(falling) 웨이크 업 기능 금지.

/WUB7 : = 0, IOB7 핀의 입력 하강(falling) 웨이크 업 기능 가능.
 = 1, IOB7 핀의 입력 하강(falling) 웨이크 업 기능 금지.

2.1.9 PCHBUF (프로그램 카운터 상위 바이트 버퍼)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
0Ah (r/w)	PCHBUF	-	-	-	-	프로그램 카운터(PC) 상위 4 비트 버퍼			

PCHBUF<3:2> : 프로그램 메모리 페이지 선택 비트.
 = 0, 0 → Page 0.
 = 0, 1 → Page 1.
 = 1, 0 → Page 2.
 = 1, 1 → Page 3.

PAGE 명령을 사용하여 메모리 페이지로 구성된 프로그램 메모리 페이지를 바꿀 수 있습니다. 그렇지 않으면 사용자 프로그램 코드인 원거리 분기(FGOTO)/호출(FCALL) 명령을 사용해야 합니다. 자세한 설명은 PCL (프로그램 카운터의 하위 바이트) 와 스택(Stack)을 참고 하세요.

2.1.10 PDCON (풀 다운 컨트롤 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
0Bh (r/w)	PDCON	/PDB3	/PDB2	/PDB1	/PDB0	/PDA3	/PDA2	/PDA1	/PDA0

/PDA0 : = 0, IOA0 핀의 내부 풀-다운 가능.
= 1, IOA0 핀의 내부 풀-다운 금지.

/PDA1 : = 0, IOA1 핀의 내부 풀-다운 가능.
= 1, IOA1 핀의 내부 풀-다운 금지.

/PDA2 : = 0, IOA2 핀의 내부 풀-다운 가능.
= 1, IOA2 핀의 내부 풀-다운 금지.

/PDA3 : = 0, IOA3 핀의 내부 풀-다운 가능.
= 1, IOA3 핀의 내부 풀-다운 금지.

/PDB0 : = 0, IOB0 핀의 내부 풀-다운 가능.
= 1, IOB0 핀의 내부 풀-다운 금지.

/PDB1 : = 0, IOB1 핀의 내부 풀-다운 가능.
= 1, IOB1 핀의 내부 풀-다운 금지.

/PDB2 : = 0, IOB2 핀의 내부 풀-다운 가능.
= 1, IOB2 핀의 내부 풀-다운 금지.

/PDB3 : = 0, IOB3 핀의 내부 풀-다운 가능.
= 1, IOB3 핀의 내부 풀-다운 금지.

2.1.11 BPHCON (포트 B 풀 하이 컨트롤 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
0Ch (r/w)	BPHCON	/PHB7	/PHB6	/PHB5	/PHB4	/PHB3	/PHB2	/PHB1	/PHB0

/PHB0 : = 0, IOB0 핀의 내부 풀-하이 가능.
= 1, IOB0 핀의 내부 풀-하이 금지.

/PHB1 : = 0, IOB1 핀의 내부 풀-하이 가능.
= 1, IOB1 핀의 내부 풀-하이 금지.

/PHB2 : = 0, IOB2 핀의 내부 풀-하이 가능.
= 1, IOB2 핀의 내부 풀-하이 금지.

/PHB3 : = 0, IOB3 핀의 내부 풀-하이 가능.
= 1, IOB3 핀의 내부 풀-하이 금지.

/PHB4 : = 0, IOB4 핀의 내부 풀-하이 가능.
= 1, IOB4 핀의 내부 풀-하이 금지.

/PHB5 : = 0, IOB5 핀의 내부 풀-하이 가능.
= 1, IOB5 핀의 내부 풀-하이 금지.

/PHB6 : = 0, IOB6 핀의 내부 풀-하이 가능.
= 1, IOB6 핀의 내부 풀-하이 금지.

/PHB7 : = 0, IOB7 핀의 내부 풀-하이 가능.
= 1, IOB7 핀의 내부 풀-하이 금지.

2.1.12 CPHCON (포트 C 풀 하이 컨트롤 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
0Dh (r/w)	CPHCON	/PHC7	/PHC6	/PHC5	/PHC4	/PHC3	/PHC2	/PHC1	/PHC0

/PHC0 : = 0, IOC0 핀의 내부 풀-하이 가능.
= 1, IOC0 핀의 내부 풀-하이 금지.

/PHC1 : = 0, IOC1 핀의 내부 풀-하이 가능.
= 1, IOC1 핀의 내부 풀-하이 금지.

/PHC2 : = 0, IOC2 핀의 내부 풀-하이 가능.
= 1, IOC2 핀의 내부 풀-하이 금지.

/PHC3 : = 0, IOC3 핀의 내부 풀-하이 가능.
= 1, IOC3 핀의 내부 풀-하이 금지.

/PHC4 : = 0, IOC4 핀의 내부 풀-하이 가능.
= 1, IOC4 핀의 내부 풀-하이 금지.

/PHC5 : = 0, IOC5 핀의 내부 풀-하이 가능.
= 1, IOC5 핀의 내부 풀-하이 금지.

/PHC6 : = 0, IOC6 핀의 내부 풀-하이 가능.
= 1, IOC6 핀의 내부 풀-하이 금지.

/PHC7 : = 0, IOC7 핀의 내부 풀-하이 가능.
= 1, IOC7 핀의 내부 풀-하이 금지.

2.1.13 INTEN (인터럽트 마스크 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
0Eh (r/w)	INTEN	GIE	-	-	-	INT1IE	INT0IE	-	TOIE

TOIE : Timer0 오버플로우 인터럽트 가능 비트.
= 0, Timer0 오버플로우 인터럽트 금지.
= 1, Timer0 오버플로우 인터럽트 가능.

Bit1 : 사용하지 않으며 읽을 경우 0.

INT0IE : 외부 INT0 핀 인터럽트 가능 비트.
= 0, 외부 INT0 핀 인터럽트 금지.
= 1, 외부 INT0 핀 인터럽트 가능.

INT1IE : 외부 INT1 핀 인터럽트 가능 비트.
= 0, 외부 INT1 핀 인터럽트 금지.

= 1, 외부 INT1 핀 인터럽트 가능.

Bit6:BIT4 : 사용하지 않으며 읽을 경우 0.

GIE : 전체 인터럽트 가능 비트.

= 0, 모든 인터럽트 금지.

= 1, 마스크 되지 않은 모든 인터럽트 가능.

참고 : GIE 비트와 세부적인 인터럽트 가능한 비트를 모두 설정하여 인터럽트 이벤트가 발생하였을 때, GIE 비트는 다른 어떠한 인터럽트라도 금지 시키기 위해 하드웨어에 의해 클리어(금지) 됩니다. RETFIE 명령은 GIE 비트를 다시 인터럽트 가능하게 설정하고 인터럽트 루틴에서 빠져 나옵니다.

2.1.14 INTFLAG (인터럽트 상태 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
0Fh (r/w)	INTFLAG	-	-	-	-	INT1IF	INT0IF	-	T0IF

T0IF : Timer0 오버플로우 인터럽트 플래그. Timer0 오버플로우가 설정되었을 때 소프트웨어로 리셋 합니다.

Bit1 : 사용하지 않으며 읽을 경우 0.

INT0IF : 외부 INT0 핀 인터럽트 플래그. INT0 핀의 신호가 OPTION<6>의 INTEDG 비트의 선택에 따라 상승(rising)/하강(falling) 되는 순간(edge) 설정되며 소프트웨어로 리셋해야 합니다.

INT1IF : 외부 INT1 핀 인터럽트 플래그. INT1 핀의 신호가 하강(falling) 되는 순간(edge) 설정되며 소프트웨어로 리셋해야 합니다.

Bit7:BIT4 : 사용하지 않으며 읽을 경우 0.

2.1.15 ACC (누산기)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
N/A (r/w)	ACC	누산기(Accumulator)							

누산기는 내부 데이터 이동이나 오퍼랜드를 저장하는 용도로 사용하며 어드레스를 지정할 수는 없습니다.

2.1.16 OPTION 레지스터

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
N/A (w)	OPTION	-	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0

OPTION 명령으로만 접근할 수 있습니다.

OPTION 명령을 실행하는 것에 의하여 ACC 레지스터의 내용을 OPTION 레지스터에 전송할 수 있습니다. OPTION 레지스터는 7 비트 크기이며, Timer0/WDT 프리스케일러, Timer0, 그리고 외부 INT 인터럽트로 구성된 여러 가지 제어 비트를 구성하고 있는 쓰기 전용 레지스터입니다.

OPTION 레지스터는 쓰기 전용이고 INTEDG 비트를 제외하고 모두 1 로 설정합니다.

PS2:PS0 : 비트 선택에 의한 프리스케일러 비율.

PS2:PS0	Timer0 비율	WDT 비율
0 0 0	1:2	1:1
0 0 1	1:4	1:2
0 1 0	1:8	1:4
0 1 1	1:16	1:8
1 0 0	1:32	1:16
1 0 1	1:64	1:32
1 1 0	1:128	1:64
1 1 1	1:256	1:128

PSA : 프리스케일러 설정 비트.
 = 1, WDT (와치도그 타이머로 설정).
 = 0, TMR0 (타이머로 설정).

T0SE : TMR0 소스 변동 순간 선택 비트.
 = 1, T0CKI 핀이 하강(Falling)하는 순간(edge).
 = 0, T0CKI 핀이 상승(Rising)하는 순간(edge).

T0CS : TMR0 클럭 소스 선택 비트.
 = 1, 외부 T0CKI 핀.
 = 0, 내부 명령 클럭 사이클.

INTEDG : INTO 핀 인터럽트 변동 순간 선택 비트.
 = 1, INTO 핀이 상승(Rising)하는 순간(edge).
 = 0, INTO 핀이 하강(Falling)하는 순간(edge).

Bit7 : 사용하지 않습니다.

2.1.17 IOSTA, IOSTB, IOSTC (Port I/O 제어 레지스터)

어드레스	이름	B7	B6	B5	B4	B3	B2	B1	B0
N/A (w)	IOSTA	Port A I/O 제어 레지스터							
N/A (w)	IOSTB	Port B I/O 제어 레지스터							
N/A (w)	IOSTC	Port C I/O 제어 레지스터							

IOST 명령으로만 접근할 수 있습니다.

IOST R (05h~07h) 레지스터를 실행하는 것에 의하여 ACC 레지스터의 내용을 Port I/O 제어 레지스터에 전송할 수 있습니다.

IOST 레지스터 비트에 1을 넣으면 하이-임피던스 상태(입력모드)로 출력 드라이버가 설정되고, 0을 넣으면 버퍼 출력이 가능한 출력모드가 됩니다. 선택된 핀이 출력 모드일 때 기억된 데이터가 버퍼에 출력됩니다.

IOST 레지스터는 쓰기 전용이며 RESET 시에 출력 드라이버는 금지되어 입력 모드로 설정됩니다.

2.2 I/O 포트

포트 A, B, C는 입력 또는 출력으로 사용할 수 있는 I/O 포트입니다. FM8P59A의 경우 포트 A는 4핀 I/O 포트이며, FM8P59B의 경우 포트 A는 8핀 I/O 포트입니다. 포트 B와 포트 C는 모두 8핀 I/O 포트입니다.

모든 I/O 핀(IOA<7:0>, IOB<7:0>, IOC<7:0>)은 각각의 핀을 입력과 출력으로 설정할 수 있는 IOSTA, IOSTB, IOSTC라고 하는 데이터 방향 제어 레지스터를 가지고 있습니다.

IOB<7:0>과 IOC<7:0>은 BPHCON 그리고 CPHCON 레지스터로 내부에 약하게 풀-하이 할 수 있는 개별적인 풀-하이 컨트롤 비트를 가지고 있습니다. 이 약한 풀-하이는 핀이 출력 핀으로 설정될 때 자동으로 오프됩니다.

IOA<3:0>와 IOB<3:0>은 PDCON 레지스터로 내부에 약하게 풀-다운 할 수 있는 각각의 풀-다운 컨트롤 비트를 가지고 있습니다. 이 약한 풀-다운 설정은 핀이 출력 핀으로 설정될 때 자동으로 오프됩니다.

IOC<7:6>핀이 출력으로 설정될 때 PCON<1>의 ODC67 비트로 오픈-드레인 출력을 할 수 있는 개별적인 오픈-드레인 컨트롤 비트를 가지고 있습니다.

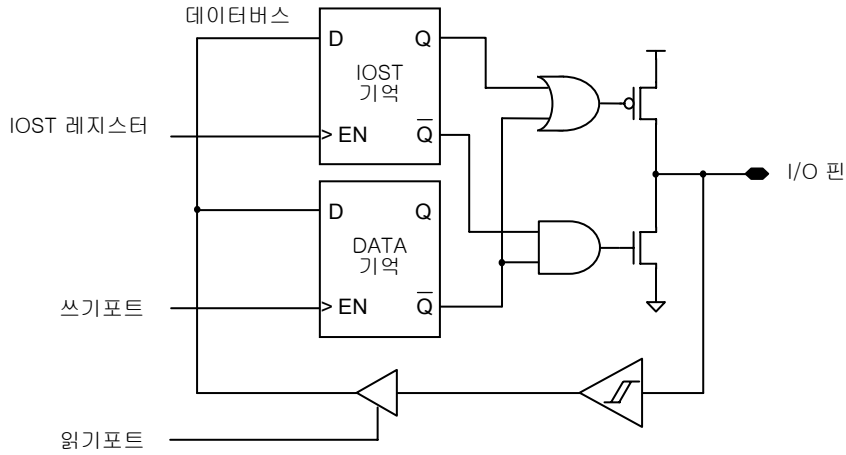
IOA0와 IOA1은 PCON<4>의 ROC 비트를 설정하는 것으로 R-옵션 핀을 가능하게 합니다. R-옵션 기능이 사용될 때 IOA0와 IOA1은 출력 핀으로 설정되도록 권장하고 이 핀이 출력핀으로 설정되기 전에 IOA0와 IOA1의 상태를 읽습니다.

또한, IOB<7:0>와 IOC<5:4>핀은 입력이 떨어질 때(falling) 웨이크-업 되는 기능을 제공합니다. 각 핀은 입력이 떨어질 때(falling) 웨이크-업 되는 소스를 선택하는 기능인 PCON<0> 레지스터의 /WUC45 비트와 WUCON 레지스터로 입력이 떨어질 때(falling) 웨이크-업이 가능한 개별적인 비트를 가지고 있습니다.

또한 IOB0핀은 PCON<6>레지스터의 EIS 비트를 설정하는 것에 의해 외부 인터럽트 입력 신호로 사용할 수 있습니다. 이 경우, IOB0의 입력이 떨어질 때 웨이크-업 되는 기능은 소프트웨어에서 가능하게 구성하였다 하도 하드웨어에 의해 금지될 것입니다.

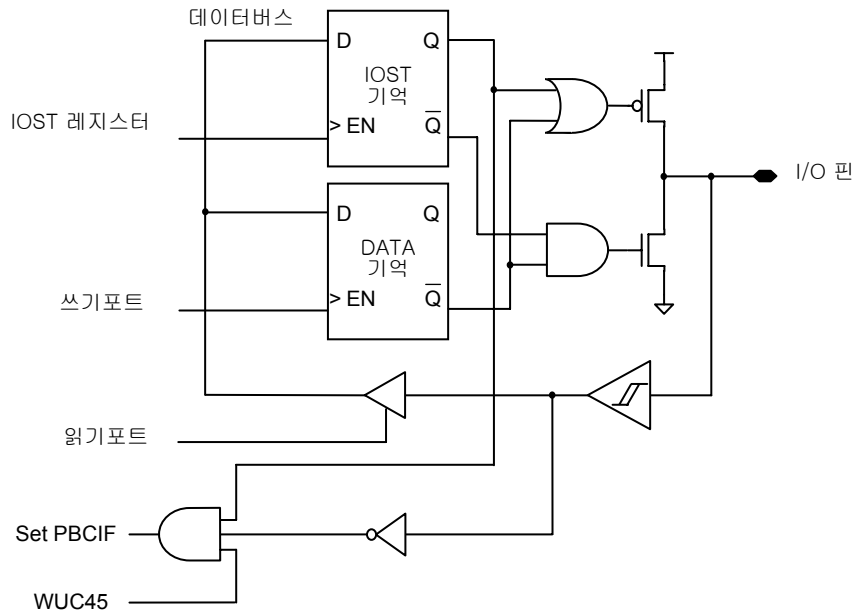
그림 2.3: I/O 핀 블록 다이어그램

IOA7 ~ IOA0, IOC7 ~ IOC6, IOC3 ~ IOC0 :



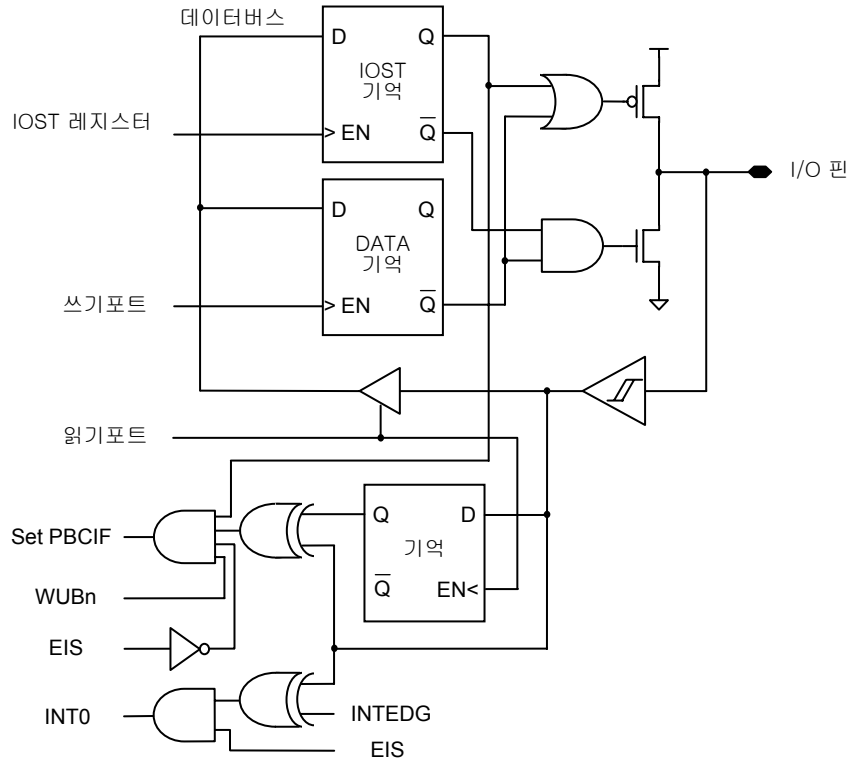
위 그림에서 풀-다운은 표시하지 않았습니다.

IOC5 ~ IOC4 :



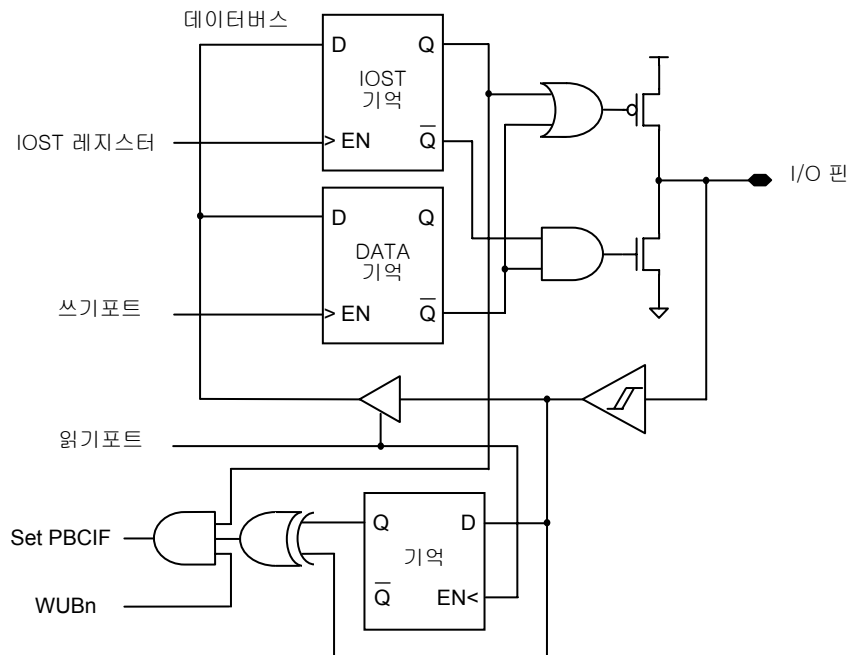
위 그림에서 풀-하이 와 오픈-드레인은 표시하지 않았습니다.

IOB0 :



위 그림에서 풀-하이/풀-다운 과 오픈-드레인은 표시하지 않았습니다.

IOB7 ~ IOB1 :



위 그림에서 풀-하이/풀-다운 과 오픈-드레인은 표시하지 않았습니다.

2.3 타이머 0 / 와치도그타이머 와 프리스케일러

2.3.1 타이머 0

타이머 0 는 8 비트 타이머/카운터입니다. 타이머 0 의 클럭 소스는 외부 클럭 소스인 T0CKI 핀 또는 내부 클럭으로부터 가져옵니다.

2.3.1.1 내부 클럭으로 타이머 0 사용 : 타이머 모드

타이머 모드는 OPTION<5> 레지스터의 T0CS 비트를 클리어하는 것으로 선택됩니다. 타이머 모드에서 타이머 0 레지스터(TMRO)는 프리스케일러를 사용하지 않는 경우 매번 명령 사이클마다 증가될 것입니다. 만약 TMRO 레지스터에 쓰기를 하였다면 그 다음 2 사이클 동안은 증가가 되지 않고 금지됩니다.

2.3.1.2 외부 클럭으로 타이머 0 사용 : 카운터 모드

카운터 모드는 OPTION<5> 레지스터의 T0CS 비트를 세트하는 것으로 선택됩니다. 이 모드에서 타이머 0 는 T0CKI 핀의 신호가 상승하는 순간 또는 하강하는 순간 마다 증가됩니다. 증가되는 순간(edge) 선택은 OPTION<4> 레지스터의 T0SE 비트를 선택하는 것에 의해 결정됩니다.

외부 클럭이 필요한 것은 내부 클럭(Tosc) 위상과 동기 때문이지만 동기 후에 타이머 0 의 실제 증가는 조금 지연됩니다.

프리스케일러를 사용하지 않을 때 외부 클럭 입력은 프리스케일러 출력과 같습니다. 내부 클럭 위상과 T0CKI 핀의 동기는 내부 클럭 위상의 T2 와 T4 사이클에서 프리스케일러 출력을 수집(sampling)하는 것에 의해 이루어 집니다. 그러므로, T0CKI 핀은 적어도 2 Tosc 동안은 로우 그리고 2 Tosc 동안은 하이가 되는 것이 필요합니다.

프리스케일러가 사용될 때 외부 클럭 입력은 비동기 프리스케일러에 의하여 나누어(divide) 집니다. 외부 클럭이 샘플 추출 요청을 충족시키기 위해 리플 카운터는 정확히 계산해서 넣어야 하므로, T0CKI 핀이 적어도 4Tosc 기간 동안 유지될 때 프리스케일러 값이 나누어 지는 것이 필요합니다.

2.3.2 와치도그타이머 (WDT)

와치도그타이머(WDT)는 어떠한 외부 부품도 필요없이 내부에서 실행되는 내장 RC 오실레이터입니다. 그래서 WDT 는 슬립(SLEEP)모드 처럼 OSCI 과 OSCO 핀이 정지되어도 계속 동작합니다. 정상 작동중 이거나 SLEEP 모드 일 때 WDT 타임-아웃은 디바이스를 리셋하고 STATUS<4>레지스터의 TO 비트를 클리어 합니다.

WDT 는 PCON<7>레지스터의 WDTE 비트를 0 으로 하는것에 의해 금지되게 할 수 있으며, 프리스케일러를 사용하지 않는 경우에는 18 ms 의 아주적은 타임-아웃 기간을 가지고 있습니다. 만약 긴 타임-아웃 기간이 필요하다면 프리스케일러를 사용하여 1:128 까지 분주 비를 OPTION 레지스터에 의해 제어되는 WDT 로 설정할 수 있습니다. 그래서 가장 긴 타임-아웃 기간은 대략 2.3 초 입니다.

프리스케일러가 WDT 에 설정되어 있고 타임 아웃과 디바이스 리셋이 발생되는 것을 예방하려면 CLRWDT 명령으로 WDT 와 프리스케일러를 클리어 합니다.

프리스케일러가 WDT 에 설정되어 있다면 SLEEP 명령으로 WDT 와 프리스케일러를 리셋 합니다. 이것은 WDT 웨이크-업 리셋이 되기 전에 최대의 슬립 시간을 줍니다.

2.3.3 프리스케일러

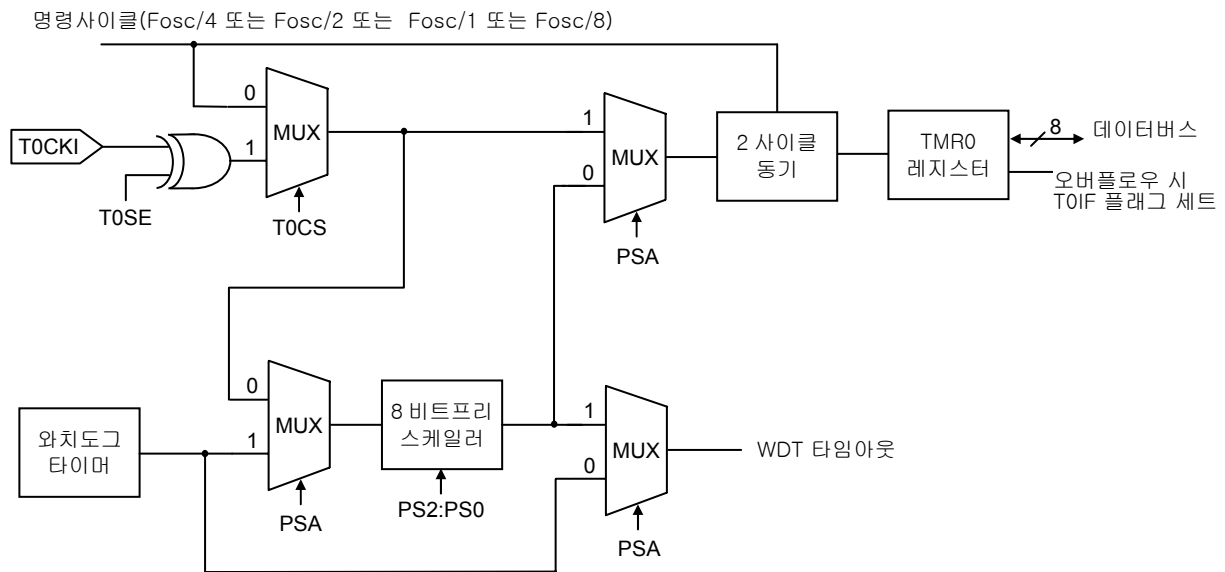
8 비트 다운 카운트는 타이머 0 의 앞단에서 프리스케일러로 사용할 수 있거나 와치도그타이머(WDT)의 후단에서 포스트스케일러로 사용할 수 있습니다. 프리스케일러를 사용할 때 주의할 점은 타이머 0 또는 WDT 중 한쪽으로 사용할 수는 있지만, 양쪽다 같이 사용할 수는 없습니다. 따라서 프리스케일러가 타이머 0 에 할당되어 있다는 것은 WDT 에는 프리스케일러가 없다는 것을 의미합니다. 반대의 경우도 같습니다.

OPTION<3>레지스터의 PSA 비트는 프리스케일러 할당을 지정하고 OPTION<2:0>레지스터의 PS<2:0> 비트는 프리스케일러의 비율을 지정합니다.

프리스케일러가 타이머 0 모듈에 할당될 때 TMR0 레지스터에 쓰기하는 모든 명령은 프리스케일러를 클리어 합니다. 프리스케일러가 WDT 에 할당될 때 CLRWDT 명령은 WDT 와 같이 프리스케일러를 클리어 합니다. 프리스케일러는 읽거나 쓸 수 없으며 리셋(RESET)시에 모두 1 로 됩니다.

원하지 않는 디바이스 리셋을 피하려면 타이머 0 에서 WDT 로 프리스케일러 할당을 바꿀 때 CLRWDT 또는 CLRR TMR0 명령을 실행해야 합니다. 반대의 경우도 같습니다.

그림 2.4: 타이머 0/WDT 프리스케일러의 블록 다이어그램



2.4 인터럽트

FM8P59 디바이스는 3 개의 인터럽트 소스를 가지고 있습니다:

1. 외부 인터럽트 INT0 핀.
2. 외부 인터럽트 INT1 핀.
3. TMR0 오버플로우 인터럽트.

INTFLAG 는 인터럽트 요청과 연관된 플래그를 기록하는 인터럽트 플래그 레지스터입니다.

INTEN<7>레지스터의 GIE 비트는 전체 인터럽트를 가능하게 하는 비트이며, 이 비트가 1 로 세트 되어 있다면 금지되지 않은 모든 인터럽트는 사용 가능하게 되며, 이 비트가 0 로 클리어 되어 있다면 금지되지 않은 모든 인터럽트는 사용 금지 되게 됩니다. 각각의 인터럽트는 INTEN 레지스터의 GIE 비트의 상태와 상관없이 각각의 인터럽트 설정 비트를 통하여 사용가능/사용금지 할 수 있습니다.

GIE 비트와 개별적인 인터럽트 설정 비트를 모두 1 로 설정하여 인터럽트 이벤트가 발생하였다면, GIE 비트는 그 다음부터 발생하는 인터럽트를 금지하기 위해 하드웨어에 의하여 0 으로 클리어 되며, 그 다음 명령은 어드레스 008h 위치에서 가지고 옵니다. 인터럽트 플래그 비트는 반복적인 인터럽트를 피하기 위해 GIE 비트를 다시 사용 가능하게 만들기 전에 소프트웨어에 의해서 클리어 되어야 합니다.

RETFIE 명령은 인터럽트로부터 빠져 나오고 인터럽트를 다시 사용 가능하게 하기 위하여 GIE 비트를 1 로 세트합니다.

INTFLAG 레지스터 안에 플래그 비트는 인터럽트 이벤트에 의하여 자신의 마스크 비트의 상태와 상관없이 세트됩니다. INTFLAG 레지스터를 읽는 것은 INTFLAG 와 INTEN 의 AND 로직이 되어야 합니다.

INT 명령에 의하여 인터럽트가 발생되었을 때 그 다음 명령은 어드레스 002h 위치에서 가지고 옵니다.

2.4.1 외부 INT0 인터럽트

INT0 외부 인터럽트 핀은 OPTION<6>레지스터의 INTEDG 비트의 선택에 의하여 상승(rising)/하강(falling) 순간(edge)에 트리거 됩니다.

INT0 핀에 유효한 순간(edge)이 나타나서 INTFLAG<2>레지스터의 INT0IF 비트가 세트 될 때 이 인터럽트는 INTEN<2>레지스터의 INT0IE 비트를 클리어하는 것으로 사용금지 되게 할 수 있습니다.

2.4.2 외부 INT1 인터럽트

INT1 외부 인터럽트 핀은 하강(falling) 순간(edge)에 트리거 됩니다.

INT1 핀에 유효한 하강(falling) 순간(edge)이 나타나서 INTFLAG<3>레지스터의 INT1IF 비트가 세트 될 때 이 인터럽트는 INTEN<3>레지스터의 INT1IE 비트를 클리어하는 것으로 사용금지 되게 할 수 있습니다.

2.4.3 Timer0 인터럽트

TMR0 레지스터가 FFh → 00h 로 오버플로우 될 때 INTFLAG<0>레지스터의 T0IF 비트를 세트합니다. 이 인터럽트는 INTEN<0>레지스터의 T0IE 비트를 클리어하는 것에 의하여 금지됩니다.

2.5 저 전력 모드 (SLEEP)

SLEEP 명령을 실행하는 것에 의해 저전력(Power-down)모드로 들어갑니다. SLEEP 명령이 실행될 때 STATUS<3>레지스터의 PD 비트는 클리어 되고, TO 비트는 세트되며, 와치도그타이머는 클리어되고 실행을 유지하며, 오실레이터 드라이버는 작동을 정지합니다. 모든 I/O 핀은 SLEEP 명령이 실행되기 전에 가지고 있던 상태를 그대로 유지합니다.

2.5.1 SLEEP 모드에서 웨이크-업(Wake-up)

FM8P59 디바이스는 다음 이벤트 중 하나로부터 SLEEP 모드에서 웨이크-업 할 수 있습니다:

1. RSTB 리셋(reset).
2. WDT 타임-아웃 리셋(설정되어 있는 경우).
3. PORTB/IOC4/IOC5 입력 하강(falling).

RSTB 외부 리셋과 WDT 타임-아웃 리셋은 디바이스를 리셋(reset)합니다. PD 비트와 TO 비트는 디바이스 리셋의 원인을 구별할 때 사용할 수 있습니다. PD 비트는 전원이 들어올 때(power-up) 설정되고 SLEEP 명령이 실행될 때 클리어 됩니다. TO 비트는 WDT 타임-아웃이 발생하였을 때 클리어 됩니다.

PORTB/IOC4/IOC5 입력 하강(falling) 이벤트를 통하여 디바이스가 웨이크-업하기 위하여 프로그램은 웨이크-업한 후 다음 PC 위치를 실행합니다. 각 핀의 설정은 대응되는 비트인 WUCON<7:0> 레지스터의 /WUBn 비트 또는 PCON<0>레지스터의 /WUC45 비트는 1로 설정하거나 이 기능을 사용하지 않기 위하여 출력으로 설정 합니다.

The 시스템 웨이크-업 지연 시간은 18ms + 128 오실레이터 사이클 시간입니다.

2.6 리셋(Reset)

FM8P59 디바이스는 다음 방법중 하나로 RESET 됩니다:

1. 전원이 들어올 때(Power-on) 리셋 (POR)
2. 브라운-아웃(Brown-out) 리셋 (BOR)
3. RSTB 핀 리셋
4. WDT 타임-아웃 리셋

일부 레지스터는 어떠한 RESET 조건에서도 영향 받지 않습니다. 이러한 레지스터들은 파워-온 리셋(POR)시에도 알 수 없으며 어떠한 RESET 조건에서도 값이 바뀌지 않습니다. 그 밖에 다른 레지스터는 파워-온 리셋(POR), RSTB, WDT 리셋과 같은 리셋 상태에서 리셋됩니다.

파워-온 RESET 신호는 Vdd 상승이 감지될 때 디바이스 내부에서 발생합니다. 이 기능을 사용하려면 RSTB 핀을 Vdd 에 간단하게 연결만 하면 됩니다.

디바이스 내부에 Vdd 가 고정된 전압 아래로 내려갈 때 디바이스를 리셋하는 저전압감지(LVD)회로가 있습니다. LVD 는 디바이스가 유효한 Vdd 동작 범위 밖에서 프로그램 실행이 계속 되지 않도록 보증합니다. 브라운-아웃 리셋(Brown-out RESET)은 일반적으로 AC 라인에 사용되거나 큰 부하가 스위치 되는 응용에 사용됩니다.

RSTB 또는 SLEEP 으로부터의 WDT 웨이크-업은 결과적으로 디바이스를 RESET 하며, SLEEP 전에 동작을 계속하지 않습니다.

STATUS<4:3>레지스터의 TO 비트와 PD 비트는 여러가지 리셋 조건에 따라 세트되거나 클리어됩니다.

2.6.1 파워-업 리셋 타이머(PWRT)

파워-업 리셋 타이머는 파워-온 리셋(POR), 브라운-아웃 리셋(BOR), RSTB 리셋, WDT 타임-아웃 리셋 후에 아주적은 18ms 시간 지연 기능을 제공합니다. 이 디바이스는 PWRT 가 활동중인 한 리셋 상태를 유지합니다. PWRT 시간 지연은 각 디바이스 마다 전압,온도,제조 편차로 인한 차이가 있습니다.

2.6.2 오실레이터 스타트-업 타이머(OST)

OST 타이머는 PWRT 시간 지연 18ms 가 경과한 후에 OSCI 입력으로부터 128 오실레이터 사이클동안 시간 지연을 제공합니다. 이 시간 지연은 크리스탈 또는 레조네이터가 발진을 시작하여 안정되는 것을 보증합니다. 이 디바이스는 OST 가 활동중인 한 리셋 상태를 유지합니다. 이 카운터는 오직 OSCI 신호의 크기가 오실레이터 입력 한계에 도달한 후에 증가를 시작합니다.

2.6.3 리셋 순서(Sequence)

파워-온 리셋(POR), 브라운-아웃 리셋(BOR), RSTB 리셋, WDT 타임-아웃 리셋이 감지 되었을 때 리셋 순서는 다음과 같습니다:

1. 리셋 기억장치가 세트되고 PWRT 와 OST 가 클리어됩니다.
2. 내부에 POR, BOR, RSTB 리셋, WDT 타임-아웃 리셋 펄스가 끝난 후 PWRT 는 카운트를 시작합니다.
3. PWRT 타임-아웃 후에 OST 가 작동됩니다.
4. OST 시간 지연이 끝난 후에 리셋 기억장치는 클리어 되고 내부의 리셋 신호는 끝납니다.

전체적인 시스템 리셋 시간 지연은 18ms + 128 오실레이터 사이클 타임입니다.

그림 2.5: 내장된 리셋 회로의 간략한 블록 다이어그램

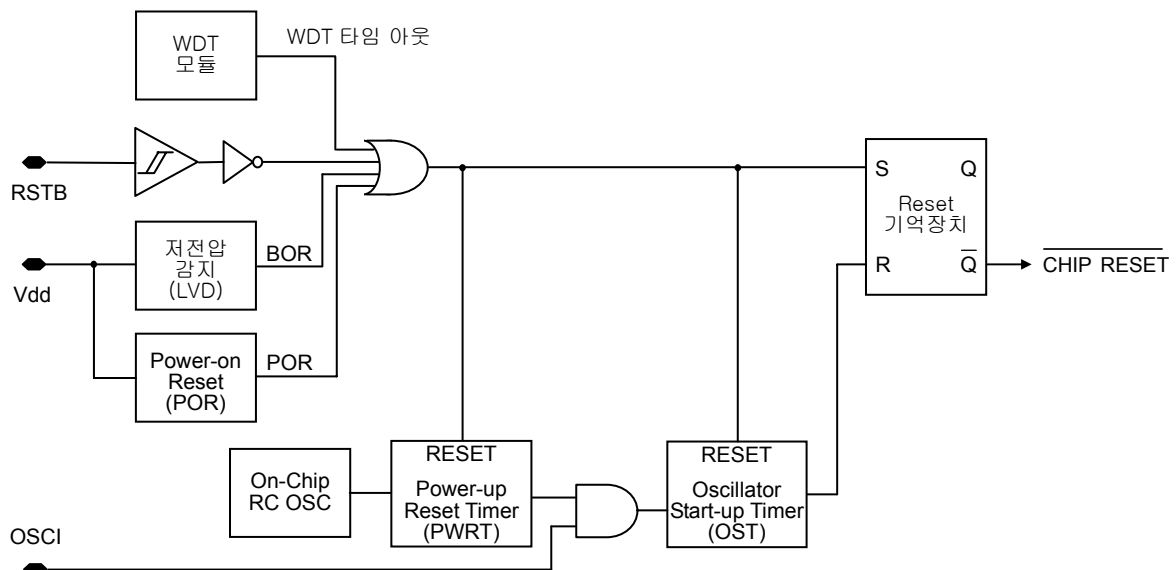
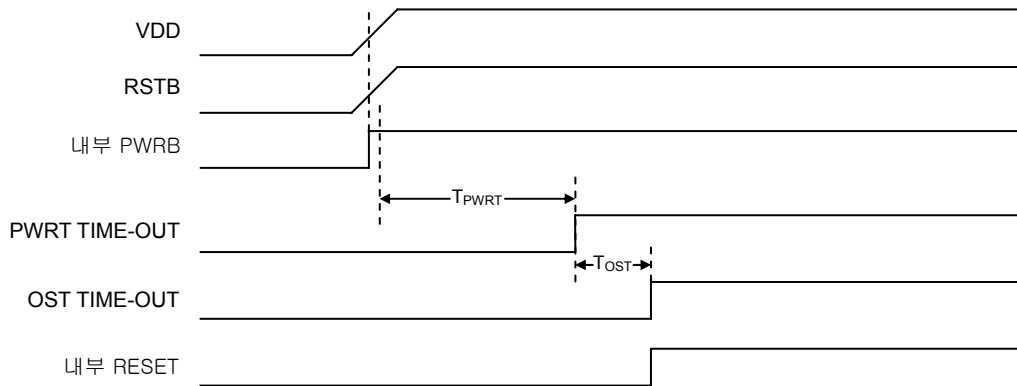
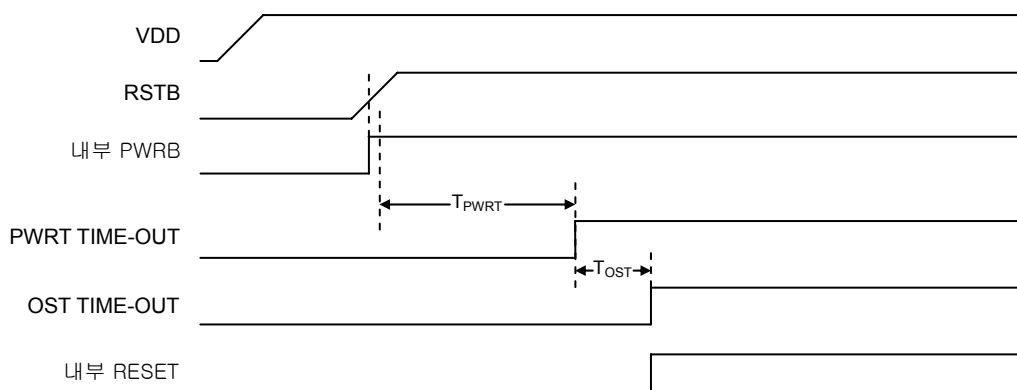


그림 2.6: 전원이 들어올(Power-up) 때 타임-아웃 순서 (RSTB 핀이 Vdd 에 연결될 때)



참고: $T_{PWRT} = 18 \text{ ms}$; $T_{OST} = 128$ 오실레이터 사이클 타임

그림 2.7: 전원이 들어올(Power-up) 때 타임-아웃 순서 (RSTB 핀이 Vdd 에 연결되지 않았을 때)



참고: $T_{PWRT} = 18 \text{ ms}$; $T_{OST} = 128$ 오실레이터 사이클 타임

테이블 2.1: 모든 레지스터의 리셋(Reset) 조건

레지스터	어드레스	Power-on 리셋 Brown-out 리셋	RSTB 리셋 WDT 리셋
ACC	N/A	xxxx xxxx	uuuu uuuu
OPTION	N/A	-011 1111	-011 1111
IOSTA	05h	A: 0000 1111 B: 1111 1111	A: 0000 1111 B: 1111 1111
IOSTB	06h	1111 1111	1111 1111
IOSTC	07h	1111 1111	1111 1111
INDF	00h	xxxx xxxx	uuuu uuuu
TMR0	01h	xxxx xxxx	uuuu uuuu
PCL	02h	1111 1111	1111 1111
STATUS	03h	0001 1xxx	000# #uuu
FSR	04h	xxxx xxxx	uuuu uuuu
PORTA	05h	---- xxxx	---- uuuu
PORTB	06h	xxxx xxxx	uuuu uuuu
PORTC	07h	xxxx xxxx	uuuu uuuu
PCON	08h	1010 --00	1010 --00
WUCON	09h	0000 0000	0000 0000
PCHBUF	0Ah	---- -000	---- -000
PDCON	0Bh	1111 1111	1111 1111
BPHCON	0Ch	1111 1111	1111 1111
CPHCON	0Dh	1111 1111	1111 1111
INTEN	0Eh	0--- 00-0	0--- 00-0
INTFLAG	0Fh	---- 00-0	---- 00-0
범용레지스터	10 ~ 3Fh	xxxx xxxx	uuuu uuuu

기호설명: u = 변함없음, x = 알수없음, - = 비사용, # = 다음 테이블 참조.

테이블 2.2: $\overline{TO}/\overline{PD}$ 리셋 후의 상태

\overline{TO}	\overline{PD}	RESET 발생 원인
1	1	파워-온(Power-on) 리셋
1	1	브라운-아웃(Brown-out) 리셋
u	u	정상 작동중에 RSTB 리셋
1	0	SLEEP 중에 RSTB 리셋
0	1	정상 작동중에 WDT 리셋
0	0	SLEEP 중에 WDT 웨이크-업(Wake-up)

기호설명: u = 변함없음

테이블 2.3: 이벤트 영향에 따른 $\overline{TO}/\overline{PD}$ 상태 비트

이벤트	\overline{TO}	\overline{PD}
파워-온(Power-on)	1	1
WDT 타임-아웃	0	u
SLEEP 명령	1	0
CLRWDW 명령	1	1

기호설명: u = 변함없음

2.7 16 진수에서 10 진 변환(HCD)

FM8P59 디바이스는 16 진 형식을 사용하므로 10 진 형식은 다른 수의 형식입니다. 데이터 메모리의 내용이 10 진 형식으로 할당되었을 때 ALU 명령을 실행한 후에 10 진 형식으로 결과를 바꾸는 것이 필요합니다. 10 진 변환 작업을 처리하고 있을 때 데이터 메모리(RAM), 누산기(ACC), 직접 값, 검색 테이블 등의 내용을 포함하는 모든 오퍼랜드 데이터는 10 진 형식 이어야 하며, 그렇지 않은 경우 변환 결과는 잘못될 것입니다.

DAA 명령은 덧셈 연산 후 ACC 에 다시 저장된 데이터를 16 진 형식에서 10 진 형식으로 변환할 수 있습니다. 예제 2.2 에서 변환 연산을 자세히 설명합니다.

예제 2.2: DAA 변환

MOVIA	90h	; 10 진수 "90"을 직접값으로 설정합니다. (ACC ← 90h)
MOVAR	30h	; 데이터 메모리 어드레스 30H 에 직접값 "90" 을 넣습니다.
MOVIA	10h	; 10 진수 "10"을 직접값으로 설정합니다. (ACC ← 10h)
ADDAR	30h, 0	; 데이터 메모리 어드레스 30H 의 내용과 ACC 를 16 진수로 가산하고, ; 그 결과를 ACC 로 가져옵니다. (ACC ← A0h, C ← 0)
DAA		; ACC 의 내용을 10 진수로 변환하고, 그 결과를 ACC 에 다시 저장합니다. ; 결과값은 ACC 가 "00"이고 캐리(carry)비트 C 는 "1"입니다. ; 이것은 10 진수 "100"을 나타냅니다.

DAS 명령은 감산 연산 후 ACC 에 다시 저장된 데이터를 16 진 형식에서 10 진 형식으로 변환할 수 있습니다. 예제 2.3 에서 변환 연산을 자세히 설명합니다.

예제 2.3: DAS 변환

MOVIA	10h	; 10 진수 "10"을 직접값으로 설정합니다. (ACC ← 10h)
MOVAR	30h	; 데이터 메모리 어드레스 30H 에 직접값 "10" 을 넣습니다.
MOVIA	20h	; 10 진수 "20"을 직접값으로 설정합니다. (ACC ← 20h)
SUBAR	30h, 0	; 데이터 메모리 어드레스 30H 의 내용과 ACC 를 16 진수로 감산하고, ; 그 결과를 ACC 로 가져옵니다. (ACC ← F0h, C ← 0)
DAS		; ACC 의 내용을 10 진수로 변환하고, 그 결과를 ACC 에 다시 저장합니다. ; 결과값은 ACC 가 "90"이고 캐리(carry)비트 C 는 "0"입니다 . ; 이것은 10 진수 "-10"을 나타냅니다.

2.8 오실레이터(Oscillator) 구성

FM8P59 디바이스는 서로 다른 4 개의 오실레이터 모드로 동작할 수 있습니다. 여러분은 적합한 모드를 선택하기 위하여 Fosc<1:0>로 된 2 개의 구성요소 비트를 프로그램할 수 있습니다:

- LF: 저 전류형의 저속 크리스탈 오실레이터
- XT: 표준 크리스탈 또는 레조네이터(Resonator) 오실레이터
- HF: 고속 크리스탈 또는 레조네이터 오실레이터
- ERC: 외부 저항과 콘덴서로 구성하는 저가의 오실레이터

LF, XT, HF 모드에서 크리스탈(crystal) 또는 세라믹 레조네이터(ceramic resonator)는 진동하기 위해 만들어진 OSCI 과 OSCO 핀에 연결되어야 합니다. LF, XT, HF 모드일 때 디바이스는 외부 클럭 소스 드라이브인 OSCI 핀을 가질 수 있습니다.

ERC 모드는 타이밍이 중요하지 않는 응용 부분에서 비용 절감을 할 수 있습니다. RC 오실레이터 주파수는 공급전압, 저항(Rext)과 콘덴서(Cext), 동작온도, 처리 매개변수로 작용합니다.

그림 2.8: HF, XT, LF 오실레이터 모드(크리스탈 또는 세라믹 레조네이터로 작동)

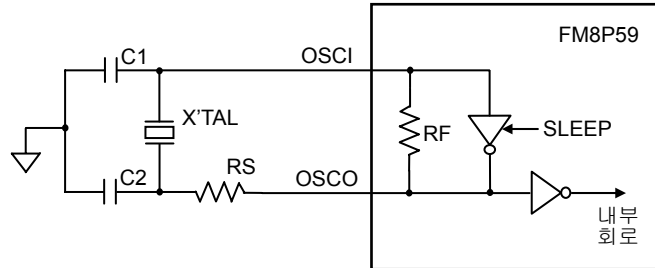


그림 2.9: HF, XT, LF 오실레이터 모드(외부 클럭 입력으로 작동)

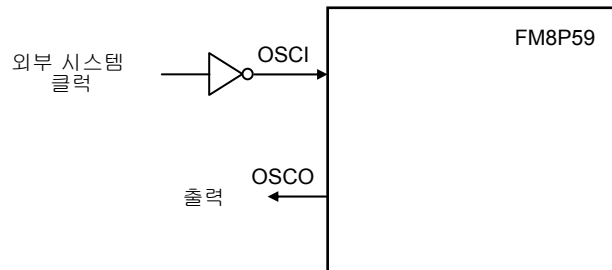
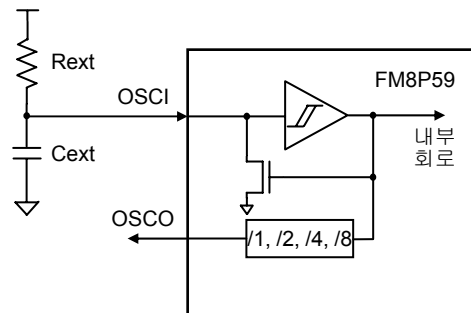


그림 2.10: ERC 오실레이터 모드



2.9 구성요소 워드(Configurations Word)
테이블 2.4: 구성요소 워드

비트	이름	설명
1, 0	Fosc<1:0>	오실레이터 선택 비트 = 1, 1 → ERC 모드 (기본설정) = 1, 0 → HF 모드 = 0, 1 → XT 모드 = 0, 0 → LF 모드
2	WDTEN	와치도그 타이머 설정 비트 = 1, WDT 사용 (기본설정) = 0, WDT 사용하지 않음
3	PROTECT	코드 보호 비트 = 1, EPROM 코드 보호 기능 사용하지 않음 (기본설정) = 0, EPROM 코드 보호 기능 사용
5, 4	LVDT<1:0>	저 전압 감지 선택 비트 = 1, 1 → 사용하지 않음 (기본설정) = 1, 0 → 사용, LVDT 전압 = 2.0V, SLEEP 에 의해 제어됨 = 0, 1 → 사용, LVDT 전압 = 2.0V = 0, 0 → 사용, LVDT 전압 = 3.6V
7, 6	OSCD<1:0>	명령어 실행 기간 선택 비트 = 1, 1 → 4 오실레이터 기간 (기본설정) = 1, 0 → 2 오실레이터 기간 = 0, 1 → 1 오실레이터 기간 = 0, 0 → 8 오실레이터 기간
8	PMOD	전력 모드 선택 비트 = 1, 저 전력 사용하지 않음 (기본설정) = 0, 저 전력 사용
11 ~ 9	-	비사용
12	TYPE	형 선택 비트 = 1, A 형 (28 핀) 선택 (기본설정) = 0, B 형 (32 핀) 선택

3.0 명령어

니모닉, 오퍼랜드	설 명	기 능	사이클	영향받는 상태비트
BCR R, bit	R의 비트를 클리어	$0 \rightarrow R\langle b \rangle$	1	-
BSR R, bit	R의 비트를 세트	$1 \rightarrow R\langle b \rangle$	1	-
BTRSC R, bit	R의 비트를 검사, 클리어 면 스퀀	$R\langle b \rangle = 0$ 이면 스퀀	$1/2^{(1)}$	-
BTRSS R, bit	R의 비트를 검사, 세트 면 스퀀	$R\langle b \rangle = 1$ 이면 스퀀	$1/2^{(1)}$	-
NOP	기능 없음	기능 없음	1	-
CLRWDT	와치도그 타이머를 클리어	00h \rightarrow WDT, 00h \rightarrow WDT prescaler	1	\overline{TO} , \overline{PD}
OPTION	OPTION 레지스터에 저장	ACC \rightarrow OPTION	1	-
SLEEP	저 전력 모드로 들어감	00h \rightarrow WDT, 00h \rightarrow WDT prescaler	1	\overline{TO} , \overline{PD}
TBL	테이블 검색	PC<7:0> + ACC \rightarrow PC<7:0> PC<9:8> 변함없음 PCHBUF<3:2> \rightarrow PC<11:10>	1	C, DC, Z
DAA	가산 연산 후 ACC 내용을 16진 형식에서 10진 형식을 변환	ACC(hex) \rightarrow ACC(dec)	1	C
DAS	감산 연산 후 ACC 내용을 16진 형식에서 10진 형식을 변환	ACC(hex) \rightarrow ACC(dec)	1	-
INT	소프트웨어 인터럽트	PC + 1 \rightarrow 스택 최 상위, 002h \rightarrow PC	2	-
RETURN	서브루틴으로부터 복귀	스택 최 상위 \rightarrow PC	2	-
RETFIE	인터럽트로부터 복귀, GIE 비트 세트	스택 최 상위 \rightarrow PC, 1 \rightarrow GIE	2	-
CLRA	ACC를 클리어	00h \rightarrow ACC	1	Z
IOST R	IOST 레지스터에 저장	ACC \rightarrow IOST 레지스터	1	-
CLRR R	R을 클리어	00h \rightarrow R	1	Z
MOVAR R	ACC를 R로 복사	ACC \rightarrow R	1	-
MOVR R, d	R을 복사	R \rightarrow dest	1	Z
DECR R, d	R을 감소	$R - 1 \rightarrow$ dest	1	Z
DECRSZ R, d	R을 감소, 0이면 스퀀	$R - 1 \rightarrow$ dest, result = 0이면 스퀀	$1/2^{(1)}$	-
INCR R, d	R 증가	$R + 1 \rightarrow$ dest	1	Z
INCRSZ R, d	R 증가, 0이면 스퀀	$R + 1 \rightarrow$ dest, result = 0이면 스퀀	$1/2^{(1)}$	-
ADDAR R, d	R과 ACC를 가산	$R + ACC \rightarrow$ dest	1	C, DC, Z
SUBAR R, d	R에서 ACC를 감산	$R - ACC \rightarrow$ dest	1	C, DC, Z
ADCAR R, d	R과 캐리로 ACC를 가산	$R + ACC + C \rightarrow$ dest	1	C, DC, Z
SBCAR R, d	R과 캐리로 ACC를 감산	$R + \overline{ACC} + C \rightarrow$ dest	1	C, DC, Z
ANDAR R, d	R과 ACC를 AND 연산	ACC and R \rightarrow dest	1	Z
IORAR R, d	R과 ACC를 OR 연산	ACC or R \rightarrow dest	1	Z
XORAR R, d	R과 ACC를 XOR 연산	R xor ACC \rightarrow dest	1	Z
COMR R, d	R의 보수	R \rightarrow dest	1	Z
RLR R, d	캐리 포함, R을 왼쪽으로 회전	R<7> \rightarrow C, R<6:0> \rightarrow dest<7:1>, C \rightarrow dest<0>	1	C

RRR	R, d	캐리 포함, R 을 오른쪽으로 회전	$C \rightarrow \text{dest}\langle 7 \rangle,$ $R\langle 7:1 \rangle \rightarrow \text{dest}\langle 6:0 \rangle,$ $R\langle 0 \rangle \rightarrow C$	1	C
SWAPR	R, d	R 의 상, 하위 디지털트 및 바꿈	$R\langle 3:0 \rangle \rightarrow \text{dest}\langle 7:4 \rangle,$ $R\langle 7:4 \rangle \rightarrow \text{dest}\langle 3:0 \rangle$	1	-
MOVIA	I	ACC 에 직접값 복사	$I \rightarrow \text{ACC}$	1	-
ADDIA	I	ACC 와 직접값 가산	$I + \text{ACC} \rightarrow \text{ACC}$	1	C, DC, Z
SUBIA	I	직접값에서 ACC 감산	$I - \text{ACC} \rightarrow \text{ACC}$	1	C, DC, Z
ANDIA	I	ACC 와 직접값 AND 연산	$\text{ACC and } I \rightarrow \text{ACC}$	1	Z
IORIA	I	ACC 와 직접값 OR 연산	$\text{ACC or } I \rightarrow \text{ACC}$	1	Z
XORIA	I	ACC 와 직접값 XOR 연산	$\text{ACC xor } I \rightarrow \text{ACC}$	1	Z
RETIA	I	ACC 에 직접값 넣고 루틴에서 복귀	$I \rightarrow \text{ACC},$ 스택 최 상위 $\rightarrow \text{PC}$	2	-
BANK	I	메모리 뱅크 비트에 직접값 복사	$I \rightarrow \text{RP}\langle 1:0 \rangle$	1	-
PAGE	I	프로그램 페이지 비트에 직접값 복사	$I \rightarrow \text{PCHBUF}\langle 3:2 \rangle$	1	-
CALL	I	서브루틴 호출	$\text{PC} + 1 \rightarrow \text{스택 최 상위},$ $I \rightarrow \text{PC}\langle 9:0 \rangle$ $\text{PCHBUF}\langle 3:2 \rangle \rightarrow \text{PC}\langle 11:10 \rangle$	2	-
GOTO	I	무조건 분기	$I \rightarrow \text{PC}\langle 9:0 \rangle$ $\text{PCHBUF}\langle 3:2 \rangle \rightarrow \text{PC}\langle 11:10 \rangle$	2	-
FCALL	I	서브루틴 호출	$\text{PC} + 1 \rightarrow \text{스택 최 상위},$ $I \rightarrow \text{PC}\langle 11:0 \rangle$ $I\langle 11:10 \rangle \rightarrow \text{PCHBUF}\langle 3:2 \rangle$	3	-
FGOTO	I	무조건 분기	$I \rightarrow \text{PC}\langle 11:0 \rangle$ $I\langle 11:10 \rangle \rightarrow \text{PCHBUF}\langle 3:2 \rangle$	3	-

참고: 1. 스킵 시 2 사이클, 그렇지 않으면 1 사이클. (2 워드 명령인 FCALL/FGOTO 가 이어질 경우 스킵 시 3 사이클)

2. bit : 8 비트 레지스터 내부의 비트 어드레스

R : 레지스터 어드레스(00h 부터 3Fh)

I : 직접 값

ACC : 누산기(어큐뮬레이터)

d : 목적지 선택;

=0 (ACC 에 결과 저장)

=1 (파일 레지스터 R 에 결과 저장)

dest : 목적지

PC : 프로그램 카운터

PCHBUF : 프로그램 카운터의 상의 바이트 버퍼

WDT : 와치도그 타이머 카운터

GIE : Global interrupt enable bit

TO : 타임-아웃 비트

PD : 파워-다운 비트

C : 캐리 비트

DC : 디지털 캐리 비트

Z : 제로 비트

ADCAR	R 과 캐리로 ACC 를 가산
구문:	ADCAR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R + ACC + C \rightarrow dest$
영향받는 상태비트:	C, DC, Z
설명:	레지스터 'R'과 캐리를 ACC 레지스터의 내용과 더합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
ADDAR	R 과 ACC 를 가산
구문:	ADDAR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$ACC + R \rightarrow dest$
영향받는 상태비트:	C, DC, Z
설명:	레지스터 'R'을 ACC 레지스터의 내용과 더합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
ADDIA	ACC 와 직접값 가산
구문:	ADDIA I
오퍼랜드:	$0 \leq I \leq 255$
기능:	$ACC + I \rightarrow ACC$
영향받는 상태비트:	C, DC, Z
설명:	8 비트 직접 값 'I'를 ACC 레지스터의 내용과 더합니다. 결과는 ACC 레지스터에 다시 저장됩니다.
사이클:	1
ANDAR	R 과 ACC 를 AND 연산
구문:	ANDAR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$ACC \text{ and } R \rightarrow dest$
영향받는 상태비트:	Z
설명:	레지스터 'R'과 ACC 레지스터의 내용을 AND 연산 합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
ANDIA	ACC 와 직접값 AND 연산
구문:	ANDIA I
오퍼랜드:	$0 \leq I \leq 255$
기능:	$ACC \text{ AND } I \rightarrow ACC$
영향받는 상태비트:	Z
설명:	8 비트 직접 값 'I'를 ACC 레지스터의 내용과 AND 연산 합니다. 결과는 ACC 레지스터에 다시 저장됩니다.
사이클:	1

BANK	메모리 뱅크 비트에 직접값 복사
구문:	BANK I
오퍼랜드:	$0 \leq I \leq 3$
기능:	$I \rightarrow RP<1:0>$
영향받는 상태비트:	없음
설명:	2 비트 직접 값 'I'를 메모리 뱅크 비트에 저장합니다.
사이클:	1
BCR	R의 비트를 클리어
구문:	BCF R, b
오퍼랜드:	$0 \leq R \leq 63$ $0 \leq b \leq 7$
기능:	$0 \rightarrow R$
영향받는 상태비트:	없음
설명:	레지스터 'R' 내의 'b' 번째 비트를 클리어 합니다.
사이클:	1
BSR	R의 비트를 세트
구문:	BSR R, b
오퍼랜드:	$0 \leq R \leq 63$ $0 \leq b \leq 7$
기능:	$1 \rightarrow R$
영향받는 상태비트:	없음
설명:	레지스터 'R' 내의 'b' 번째 비트를 세트 합니다.
사이클:	1
BTRSC	R의 비트를 검사, 클리어 면 스윙
구문:	BTRSC R, b
오퍼랜드:	$0 \leq R \leq 63$ $0 \leq b \leq 7$
기능:	$R = 0$ 이면 스윙
영향받는 상태비트:	없음
설명:	레지스터 'R' 내의 'b' 번째 비트가 '0'이면 다음 명령은 스윙 됩니다. 만약 비트가 '0' 이면 현재 명령 실행 동안 가져온 다음 명령은 버려지고, 대신에 NOP 가 실행되어 이것이 2 사이클 명령을 만듭니다.
사이클:	1/2 (2 워드 명령인 FCALL/FGOTO 가 이어질 경우 스윙 시 3 사이클)
BTRSS	R의 비트를 검사, 세트 면 스윙
구문:	BTRSS R, b
오퍼랜드:	$0 \leq R \leq 63$ $0 \leq b \leq 7$
기능:	$R = 1$ 이면 스윙
영향받는 상태비트:	없음
설명:	레지스터 'R' 내의 'b' 번째 비트가 '1'이면 다음 명령은 스윙 됩니다. 만약 비트가 '1' 이면 현재 명령 실행 동안 가져온 다음 명령은 버려지고, 대신에 NOP 가 실행되어 이것이 2 사이클 명령을 만듭니다.
사이클:	1/2 (2 워드 명령인 FCALL/FGOTO 가 이어질 경우 스윙 시 3 사이클)

CALL	서브루틴 호출
구문:	CALL I
오퍼랜드:	$0 \leq I \leq 1023$
기능:	PC +1 → 스택 최 상위; I → PC<9:0> PCHBUF<3:2> → PC<11:10>
영향받는 상태비트:	없음
설명:	서브루틴을 호출 합니다. 먼저 돌아올 어드레스(PC+1)를 스택의 상단에 밀어 넣고, 10 비트 직접 값 어드레스를 PC 비트<9:0>에 복사합니다. CALL 명령은 2 사이클 명령입니다.
사이클:	2
CLRA	ACC 를 클리어
구문:	CLRA
오퍼랜드:	없음
기능:	00h → ACC; 1 → Z
영향받는 상태비트:	Z
설명:	ACC 레지스터를 클리어 합니다. 이때 제로 플래그 비트(Z)는 세트 됩니다.
사이클:	1
CLRR	R 을 클리어
구문:	CLRR R
오퍼랜드:	$0 \leq R \leq 63$
기능:	00h → R; 1 → Z
영향받는 상태비트:	Z
설명:	레지스터 'R' 의 내용을 클리어 합니다. 이때 제로 플래그 비트(Z)는 세트 됩니다.
사이클:	1
CLRWDT	와치도그 타이머를 클리어
구문:	CLRWDT
오퍼랜드:	없음
기능:	00h → WDT; 00h → WDT prescaler (설정된 경우); 1 → \overline{TO} ; 1 → \overline{PD}
영향받는 상태비트:	\overline{TO} \overline{PD}
설명:	CLRWDT 명령은 WDT 를 리셋 합니다. 또한 프리스케일러가 타이머 0 에 없고 WDT 에 할당되어 있다면 프리스케일러를 리셋합니다. 상태비트 \overline{TO} 와 \overline{PD} 는 세트됩니다.
사이클:	1
COMR	R 의 보수
구문:	COMR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	R → dest
영향받는 상태비트:	Z
설명:	레지스터 'R' 의 보수를 저장합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1

DAA	가산 연산 후 ACC 내용을 16 진 형식에서 10 진 형식을 변환
구문:	DAA
오퍼랜드:	없음
기능:	ACC(hex) → ACC(dec)
영향받는 상태비트:	C
설명:	가산 연산 후 ACC 데이터를 16 진 형에서 10 진 형으로 변환하고 ACC 에 다시 저장합니다.
사이클:	1
DAS	감산 연산 후 ACC 내용을 16 진 형식에서 10 진 형식을 변환
구문:	DAS
오퍼랜드:	없음
기능:	ACC(hex) → ACC(dec)
영향받는 상태비트:	없음
설명:	감산 연산 후 ACC 데이터를 16 진 형에서 10 진 형으로 변환하고 ACC 에 다시 저장합니다.
사이클:	1
DECR	R을 감소
구문:	DECR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R - 1 \rightarrow \text{dest}$
영향받는 상태비트:	Z
설명:	레지스터 'R'의 내용을 감소 시킵니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
DECRSZ	R을 감소, 0 이면 스킵
구문:	DECRSZ R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R - 1 \rightarrow \text{dest}$; 결과가 0 이면 스킵
영향받는 상태비트:	없음
설명:	레지스터 'R'의 내용을 감소 시킵니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다. 또한 결과가 0 이면 현재 명령 실행 동안 가져온 다음 명령은 버려지고, 대신에 NOP 가 실행되어 이것이 2 사이클 명령을 만듭니다.
사이클:	1/2 (2 워드 명령인 FCALL/FGOTO 가 이어질 경우 스킵 시 3 사이클)
FCALL	서브루틴 호출
구문:	FCALL I
오퍼랜드:	$0 \leq I \leq 4095$
기능:	PC +1 → 스택 최 상위; I → PC<11:0> I<11:10> → PCHBUF<3:2>
영향받는 상태비트:	없음
설명:	서브루틴을 호출 합니다. 먼저 돌아올 어드레스(PC+1)를 스택의 상단에 밀어 넣고, 12 비트 직접 값 어드레스를 PC 비트<11:0>에 복사합니다. FCALL 명령은 2 워드 3 사이클 명령입니다.
사이클:	3

FGOTO	무조건 분기
구문:	FGOTO I
오퍼랜드:	$0 \leq I \leq 4095$
기능:	$I \rightarrow PC<11:0>$ $I<11:10> \rightarrow PCHBUF<3:2>$
영향받는 상태비트:	없음
설명:	FGOTO 명령은 무조건 분기합니다. 12 비트 직접 값은 PC 비트<11:0>에 복사됩니다. FGOTO 명령은 2 워드 3 사이클 명령입니다.
사이클:	3
GOTO	무조건 분기
구문:	GOTO I
오퍼랜드:	$0 \leq I \leq 1023$
기능:	$I \rightarrow PC<9:0>$ $PCHBUF<3:2> \rightarrow PC<11:10>$
영향받는 상태비트:	없음
설명:	GOTO 명령은 무조건 분기합니다. 10 비트 직접 값은 PC 비트<9:0>에 복사됩니다. GOTO 명령은 2 사이클 명령입니다.
사이클:	2
INCR	R 증가
구문:	INCR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R + 1 \rightarrow dest$
영향받는 상태비트:	Z
설명:	레지스터 'R'의 내용을 증가 시킵니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
INCRSZ	R 증가, 0 이면 스킵
구문:	INCRSZ R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R + 1 \rightarrow dest$, 결과가 0 이면 스킵
영향받는 상태비트:	없음
설명:	레지스터 'R'의 내용을 증가 시킵니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다. 또한 결과가 0 이면 현재 명령 실행 동안 가져온 다음 명령은 버려지고, 대신에 NOP 가 실행되어 이것이 2 사이클 명령을 만듭니다.
사이클:	1/2 (2 워드 명령인 FCALL/FGOTO 가 이어질 경우 스킵 시 3 사이클)



INT	소프트웨어 인터럽트
구문:	INT
오퍼랜드:	없음
기능:	PC + 1 → 스택 최 상위, 002h → PC
영향받는 상태비트:	없음
설명:	인터럽트 서브루틴을 호출합니다. 먼저 돌아올 어드레스(PC+1)를 스택의 상단에 밀어 넣고, 어드레스 002h 를 PC 비트<10:0>에 복사합니다. INT 명령은 2 사이클 명령입니다.
사이클:	2
IORAR	R 과 ACC 를 OR 연산
구문:	IORAR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	ACC or R → dest
영향받는 상태비트:	Z
설명:	레지스터 'R'과 ACC 레지스터의 내용을 OR 연산 합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
IORIA	ACC 와 직접값 OR 연산
구문:	IORIA I
오퍼랜드:	$0 \leq I \leq 255$
기능:	ACC or I → ACC
영향받는 상태비트:	Z
설명:	8 비트 직접 값 'I'를 ACC 레지스터의 내용을 OR 연산 합니다. 결과는 ACC 레지스터에 다시 저장됩니다.
사이클:	1
IOST	IOST 레지스터에 저장
구문:	IOST R
오퍼랜드:	R = 5,6 or 7
기능:	ACC → IOST 레지스터 R
영향받는 상태비트:	없음
설명:	ACC 레지스터의 내용을 IOST 레지스터 'R' (R= 5,6,7)에 저장합니다.
사이클:	1
MOVAR	ACC 를 R 로 복사
구문:	MOVAR R
오퍼랜드:	$0 \leq R \leq 63$
기능:	ACC → R
영향받는 상태비트:	None
설명:	ACC 레지스터에서 레지스터 'R'로 데이터를 복사합니다.
사이클:	1

MOVIA	ACC 에 직접값 복사
구문:	MOVIA I
오퍼랜드:	$0 \leq I \leq 255$
기능:	$I \rightarrow ACC$
영향받는 상태비트:	없음
설명:	8 비트 직접값 'I'를 ACC 레지스터에 복사합니다.
사이클:	1
MOVR	R 을 복사
구문:	MOVR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0, 1]$
기능:	$R \rightarrow dest$
영향받는 상태비트:	Z
설명:	레지스터 'R'의 내용을 목적지 'd'에 복사합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다. 'd'가 1 이면 상태 플래그 Z 가 영향 받는지 파일 레지스터를 검사하는데 유용합니다.
사이클:	1
NOP	기능 없음
구문:	NOP
오퍼랜드:	없음
기능:	기능없음
영향받는 상태비트:	없음
설명:	아무 기능도 수행하지 않습니다.
사이클:	1
OPTION	OPTION 레지스터에 저장
구문:	OPTION
오퍼랜드:	없음
기능:	$ACC \rightarrow OPTION$
영향받는 상태비트:	없음
설명:	ACC 레지스터의 내용을 OPTION 레지스터에 저장합니다.
사이클:	1
PAGE	프로그램 페이지 비트에 직접값 복사
구문:	PAGE I
오퍼랜드:	$0 \leq I \leq 3$
기능:	$I \rightarrow PCHBUF<3:2>$
영향받는 상태비트:	없음
설명:	2 비트 직접 값 'I'를 프로그램 페이지 비트에 복사합니다.
사이클:	1
RETFIE	인터럽트로부터 복귀, GIE 비트 세트
구문:	RETFIE
오퍼랜드:	없음
기능:	스택 최 상위 $\rightarrow PC$
영향받는 상태비트:	없음
설명:	프로그램 카운터는 스택의 최 상위로부터 리턴 할 어드레스를 가져오고, 'GIE' 비트는 1 로 설정됩니다. 이 명령은 2 사이클 명령입니다.
사이클:	2

RETIA	ACC 에 직접값 넣고 루틴에서 복귀
구문:	RETIA I
오퍼랜드:	$0 \leq I \leq 255$
기능:	I → ACC; 스택 최 상위 → PC
영향받는 상태비트:	없음
설명:	8 비트 직접 값 'I'를 ACC 로 가져오고, 프로그램 카운터는 스택의 최 상위로부터 리턴 할 어드레스를 가져옵니다. 이 명령은 2 사이클 명령입니다.
사이클:	2
RETURN	서브루틴으로부터 복귀
구문:	RETURN
오퍼랜드:	없음
기능:	스택 최 상위 → PC
영향받는 상태비트:	없음
설명:	프로그램 카운터는 스택의 최 상위로부터 리턴 할 어드레스를 가져옵니다. 이 명령은 2 사이클 명령입니다.
사이클:	2
RLR	캐리 포함, R 을 왼쪽으로 회전
구문:	RLR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	R<7> → C; R<6:0> → dest<7:1>; C → dest<0>
영향받는 상태비트:	C
설명:	레지스터 'R'의 내용을 캐리 플래그를 통하여 왼쪽으로 1 비트씩 회전합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
RRR	캐리 포함, R 을 오른쪽으로 회전
구문:	RRR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	C → dest<7>; R<7:1> → dest<6:0>; R<0> → C
영향받는 상태비트:	C
설명:	레지스터 'R'의 내용을 캐리 플래그를 통하여 오른쪽으로 1 비트씩 회전합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1

SLEEP	저 전력 모드로 들어감
구문:	SLEEP
오퍼랜드:	없음
기능:	00h → WDT; 00h → WDT prescaler; 1 → \overline{TO} ; 0 → \overline{PD}
영향받는 상태비트:	\overline{TO} , \overline{PD}
설명:	타임-아웃 상태 비트인 \overline{TO} 비트를 세트하고 파워-다운 상태 비트인 \overline{PD} 를 클리어합니다. WDT 와 WDT 프리스케일러를 클리어 하고 프로세서는 슬립 모드로 들어갑니다.
사이클:	1
SBCAR	R 과 캐리로 ACC 를 감산
구문:	SBCAR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R + \overline{ACC} + C \rightarrow \text{dest}$
영향받는 상태비트:	C, DC, Z
설명:	레지스터 'R' 과 캐리로 ACC 레지스터의 2 의 보수 데이터를 가산 합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
SUBAR	R 에서 ACC 를 감산
구문:	SUBAR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R - \overline{ACC} \rightarrow \text{dest}$
영향받는 상태비트:	C, DC, Z
설명:	레지스터 'R' 과 ACC 데이터를 2 의 보수 방법으로 감산 합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
SUBIA	직접값에서 ACC 감산
구문:	SUBIA I
오퍼랜드:	$0 \leq I \leq 255$
기능:	$I - \overline{ACC} \rightarrow \text{ACC}$
영향받는 상태비트:	C, DC, Z
설명:	8 비트 직접 값 'I' 과 ACC 데이터를 2 의 보수 방법으로 감산 합니다. 결과는 ACC 레지스터에 다시 저장됩니다.
사이클:	1

SWAPR	R의 상, 하위 디지털트 맞바꿈
구문:	SWAPR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$R\langle 3:0 \rangle \rightarrow \text{dest}\langle 7:4 \rangle;$ $R\langle 7:4 \rangle \rightarrow \text{dest}\langle 3:0 \rangle$
영향받는 상태비트:	없음
설명:	레지스터 'R'의 상위 니블과 하위 니블을 서로 맞 바꿉니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
TBL	테이블 검색
구문:	TBL
오퍼랜드:	없음
기능:	$PC\langle 7:0 \rangle + \text{ACC} \rightarrow PC\langle 7:0 \rangle$ $PC\langle 9:8 \rangle$ 변함없음 $PCHBUF\langle 3:2 \rangle \rightarrow PC\langle 11:10 \rangle$
영향받는 상태비트:	C, DC, Z
설명:	Operate with RETIA to look-up table
사이클:	1
XORAR	R 과 ACC 를 XOR 연산
구문:	XORAR R, d
오퍼랜드:	$0 \leq R \leq 63$ $d \in [0,1]$
기능:	$\text{ACC} \text{ xor } R \rightarrow \text{dest}$
영향받는 상태비트:	Z
설명:	레지스터 'R'과 ACC 레지스터의 내용을 XOR 연산 합니다. 만약 'd' 가 '0' 이면 결과를 ACC 레지스터 'R' 에 저장하고, 'd' 가 '1' 이면 결과를 레지스터 'R' 에 다시 저장합니다.
사이클:	1
XORIA	ACC 와 직접값 XOR 연산
구문:	XORIA I
오퍼랜드:	$0 \leq I \leq 255$
기능:	$\text{ACC} \text{ xor } I \rightarrow \text{ACC}$
영향받는 상태비트:	Z
설명:	8 비트 직접 값 'I'를 ACC 레지스터의 내용을 XOR 연산 합니다. 결과는 ACC 레지스터에 다시 저장됩니다.
사이클:	1

4.0 ABSOLUTE MAXIMUM RATINGS

Ambient Operating Temperature	0°C to +70°C
Store Temperature	-65°C to +150°C
DC Supply Voltage (Vdd)	0V to +6.0V
Input Voltage with respect to Ground (Vss)	-0.3V to (Vdd + 0.3)V

5.0 OPERATING CONDITIONS

DC Supply Voltage	+2.3V to +5.5V
Operating Temperature	0°C to +70°C

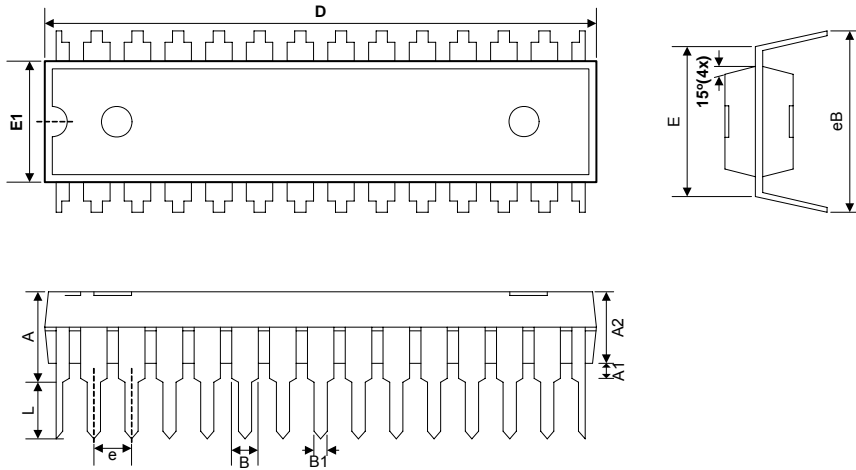
6.0 ELECTRICAL CHARACTERISTICS
6.1 ELECTRICAL CHARACTERISTICS of FM8P59AE/47BE

Under Operating Conditions, at four clock instruction cycles and WDT & LVDT are disabled

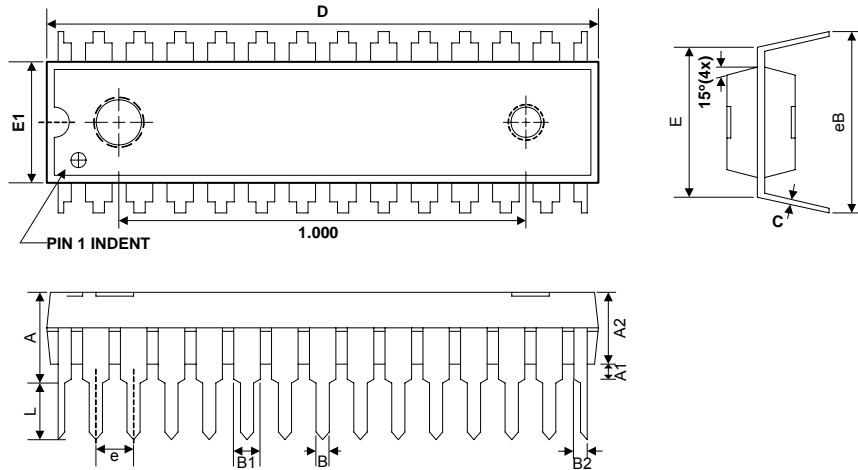
Sym	Description	Conditions	Min.	Typ.	Max.	Unit
F _{HF}		HF mode, Vdd=5V	2		20	MHz
		HF mode, Vdd=3V				
F _{XT}		XT mode, Vdd=5V	1		5	MHz
		XT mode, Vdd=3V				
F _{LF}		LF mode, Vdd=5V	32		1000	KHZ
		LF mode, Vdd=3V				
F _{ERC}		ERC mode, Vdd=5V	DC		4	MHz
		ERC mode, Vdd=3V				
V _{IH}	Input high voltage	I/O ports, Vdd=5V	2.2			V
		RSTB pin, Vdd=5V	4.2			V
V _{IL}	Input low voltage	I/O ports, Vdd=5V			1.1	V
		RSTB pin, Vdd=5V			1.0	V
V _{OH}	Output high voltage	I _{OH} =-5.4mA, Vdd=5V	3.8			V
V _{OL}	Output low voltage	I _{OL} =8.7mA, Vdd=5V			0.6	V
I _{PH}	Pull-high current	Input pin at Vss		-70		uA
I _{PD}	Pull-down current	Input pin at Vdd		50		uA
I _{WDT}	WDT current	Vdd=5V				
		Vdd=3V		3		uA
I _{LVDT}	LVDT current	Vdd=5V				
		Vdd=3V				
I _{SB}	Power down current	Sleep mode, Vdd=5V				uA
		Sleep mode, Vdd=3V		< 1		uA
I _{DD}	Operating current	HF mode: 20MHz, Vdd = 5V				mA
		Vdd = 3V				mA
		XT mode: 4MHz, Vdd = 5V				mA
		Vdd = 3V				mA
		LF mode: 32KHz, Vdd = 5V				uA
		Vdd = 3V		15		uA
		ERC mode: 4MHz, Vdd = 5V				mA
		Vdd = 3V				mA

6.2 ELECTRICAL CHARACTERISTICS of FM8P59A/47B

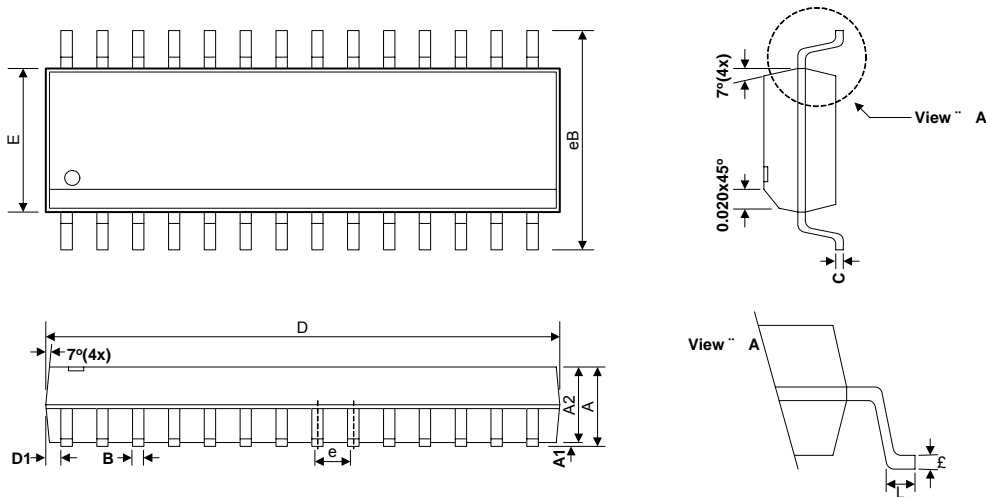
To be defined

7.0 PACKAGE DIMENSION
7.1 28-PIN PDIP 600mil


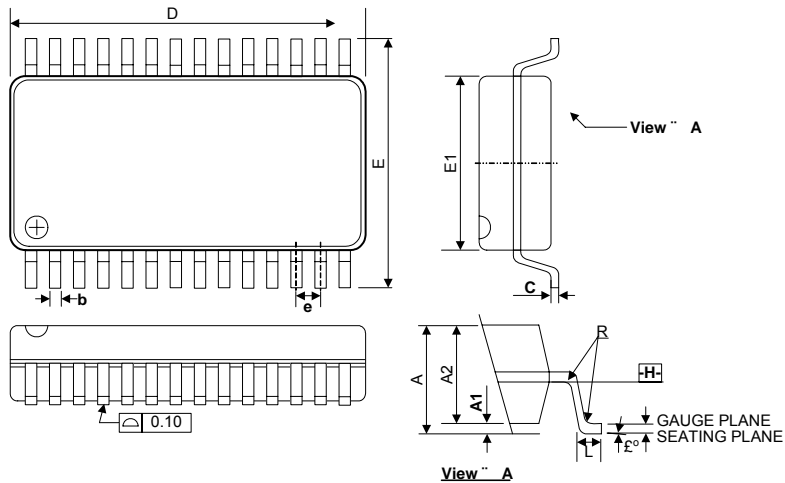
Symbols	Dimension In Millimeters			Dimension In Inches		
	Min	Nom	Max	Min	Nom	Max
A	-	-	5.59	-	-	0.220
A1	0.38	-	-	0.015	-	-
A2	3.81	3.94	4.06	0.150	0.155	0.160
B	-	1.52	-	-	0.06	-
B1	-	0.46	-	-	0.018	-
D	36.96	37.08	37.34	1.455	1.460	1.470
E	-	15.24	-	-	0.600	-
E1	13.72	13.84	13.97	0.540	0.545	0.550
e	-	2.54	-	-	0.100	-
L	3.18	-	-	0.125	-	-
eB	16.00	16.51	17.02	0.630	0.650	0.670

7.2 28-PIN Skinny PDIP 300mil


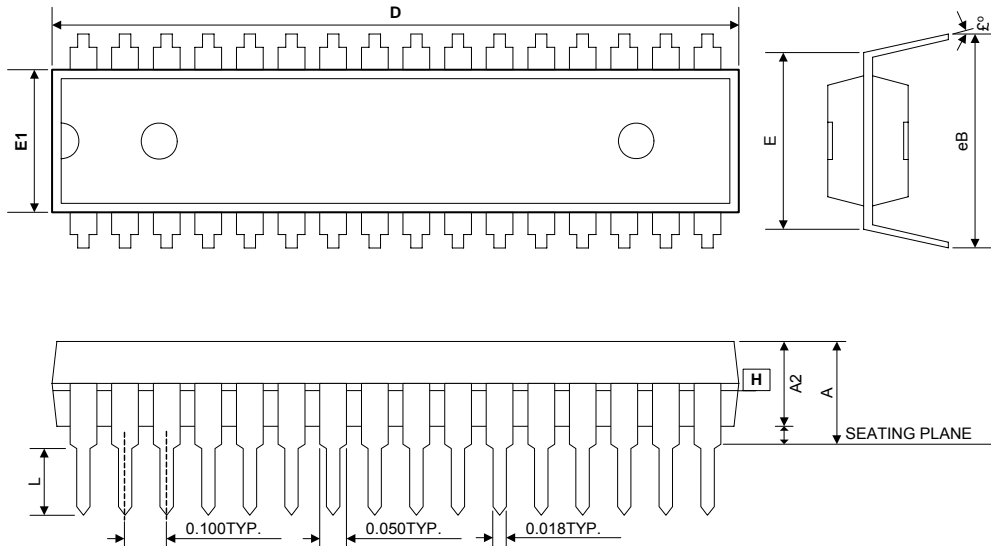
Symbols	Dimension In Millimeters			Dimension In Inches		
	Min	Nom	Max	Min	Nom	Max
A	-	-	4.57	-	-	0.180
A1	0.38	-	-	0.015	-	-
A2	-	3.30	3.56	-	0.130	0.140
B	1.02	-	1.65	0.0040	-	0.065
B1	0.41	-	0.58	0.016	-	0.023
B2	0.71	-	1.12	0.028	-	0.044
C	0.20	0.25	0.33	0.008	0.010	0.013
D	35.13	35.18	35.43	1.383	1.385	1.395
E	7.87	8.31	8.38	0.310	0.327	0.330
E1	7.26	7.32	7.52	0.284	0.288	0.296
e	-	2.54	-	-	0.100	-
L	3.18	-	-	0.125	-	-
eB	8.64	-	9.65	0.340	-	0.380

7.3 28-PIN SOP 300mil


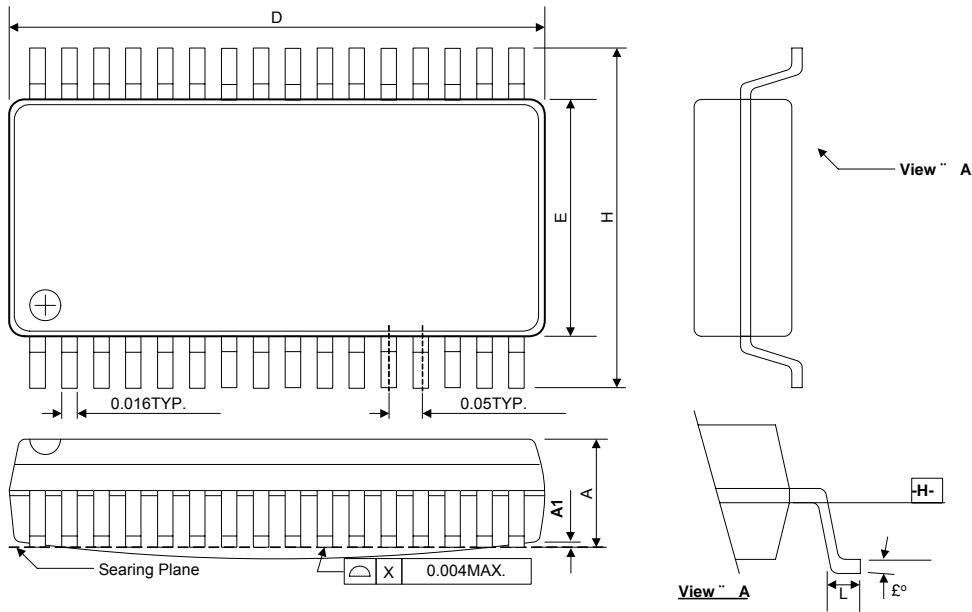
Symbols	Dimension In Millimeters			Dimension In Inches		
	Min	Nom	Max	Min	Nom	Max
A	-	2.488	2.743	-	0.098	0.108
A1	0.152	-	-	0.006	-	-
A2	2.21	2.336	2.464	0.087	0.091	0.097
B	0.305	0.406	0.508	0.012	0.016	0.020
C	0.204	0.254	0.304	0.008	0.010	0.012
D	17.78	17.91	18.42	0.700	0.705	0.725
E	7.366	7.493	7.62	0.290	0.295	0.300
e	1.219	1.270	1.321	0.048	0.050	0.052
eB	10.26	10.42	10.57	0.404	0.410	0.416
L	0.635	-	-	0.025	-	-
θ	0°	4°	8°	0°	4°	8°
D1	0.356	0.508	-	0.014	0.020	-

7.4 28-PIN SSOP 209mil


Symbols	Dimension In Millimeters		
	Min	Nom	Max
A	-	-	2.00
A1	0.05	-	-
A2	1.62	1.75	1.85
b	0.22	-	0.38
c	0.09	-	0.25
D	9.90	10.20	10.50
E	7.40	7.80	8.20
E1	5.00	5.30	5.60
e	0.65 BSC	10.42	10.57
L	0.55	0.75	0.95
R	0.09	-	-
θ°	0°	4°	8°

7.5 32-PIN PDIP 600mil


Symbols	Dimension In Inchs		
	Min	Nom	Max
A	-	-	0.220
A1	0.015	-	-
A2	0.150	0.155	0.160
D	1.645	1.650	1.660
E	0.600BSC		
E1	0.540	0.545	0.550
L	0.115	0.130	0.150
e _B	0.630	0.650	0.670
θ°	0	7	15

7.6 32-PIN SOP 450mil


Symbols	Dimension In Inch	
	Min	Max
A	-	0.120
A1	0.004	0.014
D	0.799	0.815
E	0.437	0.450
H	0.530	0.580
L	0.016	0.050
θ°	0°	10°

8.0 ORDERING INFORMATION

OTP Type MCU	Package Type	Pin Count	Package Size
FM8P59AEP	PDIP	28	600 mil
FM8P59AEM	Skinny PDIP	28	300 mil
FM8P59AED	SOP	28	300 mil
FM8P59AER	SSOP	28	209 mil
FM8P59BEP	PDIP	32	600 mil
FM8P59BED	SOP	32	450 mil

Mask Type MCU	Package Type	Pin Count	Package Size
FM8P59AP	PDIP	28	600 mil
FM8P59AM	Skinny PDIP	28	300 mil
FM8P59AD	SOP	28	300 mil
FM8P59AR	SSOP	28	209 mil
FM8P59BP	PDIP	32	600 mil
FM8P59BD	SOP	32	450 mil